

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

42

J0893 U.S. PTO
09/639041



別紙添付の書類に記載されている事項は下記の出願書類に記載されて
る事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
this Office.

願年月日
Date of Application:

1999年 9月27日

願番号
Application Number:

平成11年特許願第271882号

願人
Applicant(s):

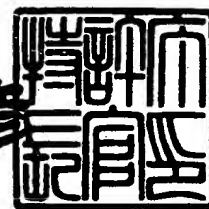
カシオ計算機株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年 4月 7日

特許庁長官
Commissioner,
Patent Office

近藤隆彦



【書類名】 特許願
【整理番号】 99-0238-00
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/146
H01L 31/10
H04N 05/335

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5
カシオ計算機株式会社 八王子研究所内

【氏名】 腰塚 靖雄

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5
カシオ計算機株式会社 八王子研究所内

【氏名】 佐々木 誠

【発明者】

【住所又は居所】 東京都八王子市石川町 2 9 5 1 番地の 5
カシオ計算機株式会社 八王子研究所内

【氏名】 中村 善亮

【特許出願人】

【識別番号】 000001443
【氏名又は名称】 カシオ計算機株式会社
【代表者】 桼尾 和雄

【代理人】

【識別番号】 100096699
【弁理士】
【氏名又は名称】 鹿嶋 英實

【手数料の表示】

【予納台帳番号】 021267
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600683

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 フォトセンサシステムの駆動制御方法

【特許請求の範囲】

【請求項 1】 MOS 構造を有し、少なくとも複数の電極を備えた複数のフォトセンサをマトリクス状に配列したフォトセンサシステムの駆動制御方法において、

該フォトセンサシステムの駆動制御方法は、

前記フォトセンサの第 1 の電極にリセットパルスを印加して初期化する第 1 のステップと、

前記初期化終了後、プリチャージパルスに基づくプリチャージ動作が終了した前記フォトセンサに対して、前記フォトセンサの第 2 の電極に読み出しパルスを印加し、前記初期化終了から前記読み出しパルスの印加までの電荷蓄積期間に蓄積された電荷に対応した電圧を出力する第 2 のステップと、

前記フォトセンサの第 1 の電極に前記第 1 のステップにおいて前記リセットパルスにより印加された実効電圧に対して、逆極性の実効電圧を有する信号を前記フォトセンサの第 1 の電極に印加する第 3 のステップと、

前記フォトセンサの第 2 の電極に前記第 2 のステップにおいて前記読み出しパルスにより印加された実効電圧に対して、逆極性の実効電圧を有する信号を前記フォトセンサの第 2 の電極に印加する第 4 のステップと、

を含むことを特徴とするフォトセンサシステムの駆動制御方法。

【請求項 2】 前記第 1 及び第 3 のステップにおいて前記フォトセンサに印加される信号の平均実効電圧、及び、前記第 2 及び第 4 のステップにおいて前記フォトセンサに印加される信号の平均実効電圧を、各々 0 V に設定したことを特徴とする請求項 1 記載のフォトセンサシステムの駆動制御方法。

【請求項 3】 前記第 1 及び第 3 のステップにおいて前記フォトセンサに印加される信号の平均実効電圧、及び、前記第 2 及び第 4 のステップにおいて前記フォトセンサに印加される信号の平均実効電圧を、前記フォトセンサにおけるしきい値電圧の変化量が最小となるように設定したことを特徴とする請求項 1 記載のフォトセンサシステムの駆動制御方法。

【請求項 4】 前記第 3 のステップにおいて前記フォトセンサに印加される信号の電圧波形は、前記第 1 のステップにおいて前記フォトセンサに印加される前記リセットパルスの電圧波形の時間積分値に対して、逆の極性の時間積分値を有するように設定されるとともに、

前記第 4 のステップにおいて前記フォトセンサに印加される信号の電圧波形は、前記第 2 のステップにおいて前記フォトセンサに印加される読み出しパルスの電圧波形の時間積分値に対して、逆の極性の時間積分値を有するように設定されていることを特徴とする請求項 2 又は 3 のいずれかに記載のフォトセンサシステムの駆動制御方法。

【請求項 5】 前記第 1 及び第 3 のステップにおいて前記フォトセンサに印加される信号の電圧波形、並びに、前記第 2 及び第 4 のステップにおいて前記フォトセンサに印加される信号の電圧波形は、各々一對のハイレベル及びローレベルからなる 2 値の電圧を生成、出力する 2 値ドライバにより、前記フォトセンサに印加されることを特徴とする請求項 1 乃至 4 のいずれかに記載のフォトセンサシステムの駆動制御方法。

【請求項 6】 前記第 1 及び第 3 のステップにおいて前記フォトセンサに印加される信号の電圧波形、並びに、前記第 2 及び第 4 のステップにおいて前記フォトセンサに印加される信号の電圧波形は、各々複数対のハイレベル及びローレベルからなる多値の電圧を生成、出力する多値ドライバにより、前記フォトセンサに印加されることを特徴とする請求項 1 乃至 4 のいずれかに記載のフォトセンサシステムの駆動制御方法。

【請求項 7】 前記フォトセンサは、半導体層からなるチャネル領域を挟んで形成されたソース電極及びドレイン電極と、少なくとも前記チャネル領域の上方及び下方に各々絶縁膜を介して形成されたトップゲート電極及びボトムゲート電極と、を備えたダブルゲート構造を有し、

前記トップゲート電極を前記第 1 の電極として、前記第 1 のステップにおける前記リセットパルスを印加するとともに、前記ボトムゲート電極を前記第 2 の電極として、前記第 2 のステップにおける前記読み出しパルスを印加することにより、前記電荷蓄積期間に前記チャネル領域に蓄積された電荷に対応した電圧を出

力することを特徴とする請求項 1 乃至 6 のいずれかに記載のフォトセンサシステムの駆動制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フォトセンサシステムの駆動制御方法に関し、特に、いわゆる、ダブルゲート構造を有する薄膜トランジスタを 2 次元配列して構成されるフォトセンサアレイに適用して良好なフォトセンサシステムの駆動制御方法に関する。

【0002】

【従来の技術】

従来、印刷物や写真、あるいは、指紋等の微細な凹凸の形状等を読み取る 2 次元画像の読取装置として、光電変換素子（フォトセンサ）をマトリクス状に配列して構成されるフォトセンサアレイを有する構造のものがある。このようなフォトセンサアレイとして、一般に、CCD（Charge Coupled Device）等の固体撮像デバイスが用いられている。

CCD は、周知の通り、フォトダイオードや薄膜トランジスタ（TFT：Thin Film Transistor）等のフォトセンサをマトリクス状に配列した構成を有し、各フォトセンサの受光部に照射された光量に対応して発生する電子-正孔対の電荷量を、水平走査回路及び垂直走査回路により検出し、照射光の輝度を検知している。

【0003】

このような CCD を用いたフォトセンサシステムにおいては、走査された各フォトセンサを選択状態にするための選択トランジスタを個別に設ける必要があるため、画素数が増大するにしたがってシステム自体が大型化するという問題を有している。

そこで、近年、このような問題を解決するための構成として、フォトセンサ自体にフォトセンス機能と選択トランジスタ機能とを持たせた、いわゆる、ダブルゲート構造を有する薄膜トランジスタ（以下、ダブルゲート型フォトセンサという）が開発され、システムの小型化、及び、画素の高密度化を図る試みがなされ

ている。

【0004】

以下、ダブルゲート型フォトセンサの構造及び機能について説明する。

図12は、ダブルゲート型フォトセンサの構造を示す断面図である。

図12(a)に示すように、ダブルゲート型フォトセンサ10は、可視光が入射されると電子-正孔対が生成されるアモルファスシリコン等の半導体層（チャネル層）11と、半導体層11の両端にそれぞれ設けられた n^+ シリコン層17、18と、 n^+ シリコン層17、18上に形成されたソース電極12及びドレイン電極13と、半導体層11の上方（図面上方）にブロック絶縁膜14及び上部（トップ）ゲート絶縁膜15を介して形成されたトップゲート電極21と、半導体層11の下方（図面下方）に下部（ボトム）ゲート絶縁膜16を介して形成されたボトムゲート電極22と、を有して構成されている。

【0005】

なお、図12(a)において、トップゲート電極21、トップゲート絶縁膜15、ボトムゲート絶縁膜16、及び、トップゲート電極21上に設けられる保護絶縁膜20は、いずれも半導体層11を励起する可視光に対して透過率の高い材質により構成され、一方、ボトムゲート電極22は、可視光の透過を遮断する材質により構成されることにより、図面上方から入射する照射光のみを検知する構造を有している。

【0006】

すなわち、ダブルゲート型フォトセンサ10は、半導体層11を共通のチャネル領域として、半導体層11、ソース電極12、ドレイン電極13及びトップゲート電極21により形成される上部MOSトランジスタと、半導体層11、ソース電極12、ドレイン電極13及びボトムゲート電極22により形成される下部MOSトランジスタとからなる2つのMOSトランジスタの組み合わせた構造が、ガラス基板等の透明な絶縁性基板19上に形成されている。

そして、このようなダブルゲート型フォトセンサ10は、一般に、図12(b)に示すような等価回路により表される。ここで、TGはトップゲート端子、BGはボトムゲート端子、Sはソース端子、Dはドレイン端子である。

【0007】

次に、上述したダブルゲート型フォトセンサを2次元配列して構成されるフォトセンサシステムについて、図面を参照して簡単に説明する。

図13は、ダブルゲート型フォトセンサを2次元配列して構成されるフォトセンサシステムの概略構成図である。

図13に示すように、フォトセンサシステムは、大別して、多数のダブルゲート型フォトセンサ10をn行×m列のマトリクス状に配列したフォトセンサアレイ100と、各ダブルゲート型フォトセンサ10のトップゲート端子TG及びボトムゲート端子BGを各々行方向に接続したトップゲートライン101及びボトムゲートライン102と、トップゲートライン101及びボトムゲートライン102に各々接続されたトップゲートドライバ111及びボトムゲートドライバ112と、各ダブルゲート型フォトセンサのドレイン端子Dを列方向に接続したデータライン103と、データライン103に接続されたコラムスイッチ113と、を有して構成される。ここで、 ϕ_{tg} 及び ϕ_{bg} は、それぞれリセットパルス ϕ_{T1} 、 ϕ_{T2} 、 $\dots \phi_{Ti}$ 、 $\dots \phi_{Tn}$ 、及び、読み出しパルス ϕ_{B1} 、 ϕ_{B2} 、 $\dots \phi_{Bi}$ 、 $\dots \phi_{Bn}$ を生成するための基準電圧、 ϕ_{pg} は、プリチャージ電圧 V_{pg} を印加するタイミングを制御するプリチャージ信号である。

【0008】

このような構成において、トップゲートドライバ111からトップゲート端子TGに電圧を印加することによりフォトセンス機能が実現され、ボトムゲートドライバ112からボトムゲート端子BGに電圧を印加し、データライン103を介して検出信号をコラムスイッチ113に取り込んでシリアルデータとして出力(V_{out})することにより選択読み出し機能が実現される。

【0009】

次に、上述したフォトセンサシステムの駆動制御方法について、図面を参照して説明する。

図14は、フォトセンサシステムの駆動制御方法の一例を示すタイミングチャートであり、図15は、ダブルゲート型フォトセンサの動作概念図であり、図16は、フォトセンサシステムの出力電圧の光応答特性を示す図である。

まず、リセット動作においては、図14、図15(a)に示すように、 i 番目の行のトップゲートライン101にパルス電圧（リセットパルス；例えば $V_{tg}=+15V$ のハイレベル） ϕ_{Ti} を印加して、各ダブルゲート型フォトセンサ10の半導体層に蓄積されているキャリア（正孔）を放出する（リセット期間 T_{reset} ）。

【0010】

次いで、光蓄積動作においては、図14、図15(b)に示すように、トップゲートライン101にローレベル（例えば $V_{tg}=-15V$ ）のバイアス電圧 ϕ_{Ti} を印加することにより、リセット動作を終了し、キャリア蓄積動作による光蓄積期間 T_a がスタートする。光蓄積期間 T_a においては、トップゲート電極側から入射した光量に応じてチャネル領域にキャリアが蓄積される。

そして、プリチャージ動作においては、図14、図15(c)に示すように、光蓄積期間 T_a に並行して、プリチャージ信号 ϕ_{pg} に基づいてデータライン103に所定の電圧（プリチャージ電圧） V_{pg} を印加し、ドレイン電極13に電荷を保持させる（プリチャージ期間 T_{prch} ）。

【0011】

次いで、読み出し動作においては、図14、図15(d)に示すように、プリチャージ期間 T_{prch} を経過した後、ボトムゲートライン102にハイレベル（例えば $V_{bg}=+10V$ ）のバイアス電圧（読み出し選択信号；以下、読み出しパルスという） ϕ_{Bi} を印加することにより、ダブルゲート型フォトセンサ10をON状態にする（読み出し期間 T_{read} ）。

ここで、読み出し期間 T_{read} においては、チャネル領域に蓄積されたキャリア（正孔）が逆極性のトップゲート端子TGに印加された $V_{tg}(-15V)$ を緩和する方向に働くため、ボトムゲート端子BGの V_{bg} によりnチャネルが形成され、ドレイン電流に応じてデータライン103のデータライン電圧 V_D は、図16(a)に示すように、プリチャージ電圧 V_{pg} から時間の経過とともに徐々に低下する傾向を示す。

【0012】

すなわち、光蓄積期間 T_a における光蓄積状態が暗状態で、チャネル領域に正

孔が蓄積されていない場合には、図15(e)、図16(a)に示すように、トップゲートTGに負バイアスをかけることによって、ボトムゲートBGの正バイアスが打ち消され、ダブルゲート型フォトセンサ10はOFF状態となり、ドレイン電圧、すなわち、データライン103の電圧VDが、ほぼそのまま保持されることになる。

一方、光蓄積状態が明状態の場合には、図15(d)、図16(a)に示すように、チャネル領域に入射光量に応じた正孔が捕獲されているため、トップゲートTGの負バイアスを打ち消すように作用し、この打ち消された分だけボトムゲートBGの正バイアスによって、ダブルゲート型フォトセンサ10はON状態となる。そして、この入射光量に応じたON抵抗に従って、データライン103の電圧VDは、低下することになる。

【0013】

したがって、図16(a)に示したように、データライン103の電圧VDの変化傾向は、トップゲートTGへのリセットパルス ϕ_{Ti} の印加によるリセット動作の終了時点から、ボトムゲートBGに読み出しパルス ϕ_{Bi} が印加されるまでの時間（光蓄積期間 T_a ）に受光した光量に深く関連し、蓄積されたキャリアが少ない場合には緩やかに低下する傾向を示し、また、蓄積されたキャリアが多い場合には急峻に低下する傾向を示す。そのため、読み出し期間 T_{read} がスタートして、所定の時間経過後のデータライン103の電圧VDを検出することにより、あるいは、所定のしきい値電圧を基準にして、その電圧に至るまでの時間を検出することにより、照射光の光量が換算される。

【0014】

上述した一連の画像読取動作を1サイクルとして、 $i+1$ 番目の行のダブルゲート型フォトセンサ10にも同等の処理手順を繰り返すことにより、ダブルゲート型フォトセンサ10を2次元のセンサシステムとして動作させることができる。

なお、図14に示したタイミングチャートにおいて、プリチャージ期間 T_{prch} の経過後、図15(f)、(g)に示すように、ボトムゲートライン102にローレベル（例えば $V_{bg}=0V$ ）を印加した状態を継続すると、ダブルゲート型フ

フォトセンサ10はOFF状態を持続し、図16(b)に示すように、データライン103の電圧VDは、プリチャージ電圧Vpgを保持する。このように、ボトムゲートライン102への電圧の印加状態により、ダブルゲート型フォトセンサ10の読み出し状態を選択する選択機能が実現される。

【0015】

【発明が解決しようとする課題】

上述したような従来技術に係るフォトセンサシステムの駆動制御方法においては、ダブルゲート型フォトセンサに対して、トップゲート端子にリセットパルス、ドレイン端子にプリチャージパルス、ボトムゲート端子に読み出しパルスが順次印加される一連の画像読取動作が周期的に繰り返される駆動制御が実行されていた。

ここで、各パルスは、短時間印加されるだけであるため、ある期間（例えば、図14に示した1処理サイクル期間）において、トップゲートTG及びボトムゲートBGに印加される電圧波形は、0V（GNDレベル）に対して対称ではなく、ローレベル側に大きく偏って電圧が印加されていることになる。

【0016】

そのため、ダブルゲート型フォトセンサに光が照射された状態で、このような偏った電圧が各ゲート端子に印加され続けると、各ゲートに正孔がトラップされる等の現象が発生して、ダブルゲート型フォトセンサの感度特性が変わってしまったり、素子特性が劣化する等の状態が発生することがあった。

このように、従来のフォトセンサシステムにおいては、ダブルゲート型フォトセンサの信頼性を十分に確保することが困難であるという問題を有していた。

そこで、本発明は、上述した問題を解決し、ダブルゲート型フォトセンサのゲート端子に印加される電圧波形の偏りに起因する素子特性の劣化を抑制して、信頼性が十分に確保された画像読取装置を実現することができるフォトセンサシステムの駆動制御方法を提供することを目的とする。

【0017】

【課題を解決するための手段】

請求項1記載のフォトセンサシステムの駆動制御方法は、MOS構造を有し、

少なくとも複数の電極を備えた複数のフォトセンサをマトリクス状に配列したフォトセンサシステムの駆動制御方法において、該フォトセンサシステムの駆動制御方法は、前記フォトセンサの第1の電極にリセットパルスを印加して初期化する第1のステップと、前記初期化終了後、プリチャージパルスに基づくプリチャージ動作が終了した前記フォトセンサに対して、前記フォトセンサの第2の電極に読み出しパルスを印加し、前記初期化終了から前記読み出しパルスの印加までの電荷蓄積期間に蓄積された電荷に対応した電圧を出力する第2のステップと、前記フォトセンサの第1の電極に前記第1のステップにおいて前記リセットパルスにより印加された実効電圧に対して、逆極性の実効電圧を有する信号を前記フォトセンサの第1の電極に印加する第3のステップと、前記フォトセンサの第2の電極に前記第2のステップにおいて前記読み出しパルスにより印加された実効電圧に対して、逆極性の実効電圧を有する信号を前記フォトセンサの第2の電極に印加する第4のステップと、を含むことを特徴としている。

【0018】

請求項2記載のフォトセンサシステムの駆動制御方法は、請求項1記載のフォトセンサシステムの駆動制御方法において、前記第1及び第3のステップにおいて前記フォトセンサに印加される信号の平均実効電圧、及び、前記第2及び第4のステップにおいて前記フォトセンサに印加される信号の平均実効電圧を、各々0Vに設定したことを特徴としている。

請求項3記載のフォトセンサシステムの駆動制御方法は、請求項1記載のフォトセンサシステムの駆動制御方法において、前記第1及び第3のステップにおいて前記フォトセンサに印加される信号の平均実効電圧、及び、前記第2及び第4のステップにおいて前記フォトセンサに印加される信号の平均実効電圧を、前記フォトセンサにおけるしきい値電圧の変化量が最小となるように設定したことを特徴としている。

【0019】

請求項4記載のフォトセンサシステムの駆動制御方法は、請求項2又は3のいずれかに記載のフォトセンサシステムの駆動制御方法において、前記第3のステップにおいて前記フォトセンサに印加される信号の電圧波形は、前記第1のステ

ップにおいて前記フォトセンサに印加される前記リセットパルスの電圧波形の時間積分値に対して、逆の極性の時間積分値を有するように設定されるとともに、前記第 4 のステップにおいて前記フォトセンサに印加される信号の電圧波形は、前記第 2 のステップにおいて前記フォトセンサに印加される読み出しパルスの電圧波形の時間積分値に対して、逆の極性の時間積分値を有するように設定されていることを特徴としている。

【 0 0 2 0 】

請求項 5 記載のフォトセンサシステムの駆動制御方法は、請求項 1 乃至 4 のいずれかに記載のフォトセンサシステムの駆動制御方法において、前記第 1 及び第 3 のステップにおいて前記フォトセンサに印加される信号の電圧波形、並びに、前記第 2 及び第 4 のステップにおいて前記フォトセンサに印加される信号の電圧波形は、各々一對のハイレベル及びローレベルからなる 2 値の電圧を生成、出力する 2 値ドライバにより、前記フォトセンサに印加されることを特徴としている。

請求項 6 記載のフォトセンサシステムの駆動制御方法は、請求項 1 乃至 4 のいずれかに記載のフォトセンサシステムの駆動制御方法において、前記第 1 及び第 3 のステップにおいて前記フォトセンサに印加される信号の電圧波形、並びに、前記第 2 及び第 4 のステップにおいて前記フォトセンサに印加される信号の電圧波形は、各々複数対のハイレベル及びローレベルからなる多値の電圧を生成、出力する多値ドライバにより、前記フォトセンサに印加されることを特徴としている。

【 0 0 2 1 】

請求項 7 記載のフォトセンサシステムの駆動制御方法は、請求項 1 乃至 6 のいずれかに記載のフォトセンサシステムの駆動制御方法において、前記フォトセンサは、半導体層からなるチャネル領域を挟んで形成されたソース電極及びドレイン電極と、少なくとも前記チャネル領域の上方及び下方に各々絶縁膜を介して形成されたトップゲート電極及びボトムゲート電極と、を備えたダブルゲート構造を有し、前記トップゲート電極を前記第 1 の電極として、前記第 1 のステップにおける前記リセットパルスを印加するとともに、前記ボトムゲート電極を前記第

2の電極として、前記第2のステップにおける前記読み出しパルスを印加することにより、前記電荷蓄積期間に前記チャネル領域に蓄積された電荷に対応した電圧を出力することを特徴としている。

【0022】

【発明の実施の形態】

以下に、本発明に係るフォトセンサシステムの駆動制御方法の実施の形態について、図面を参照しながら説明する。なお、以下に示す実施形態においては、フォトセンサとして、上述したダブルゲート型フォトセンサを適用し、トップゲート電極を第1の電極として電圧を印加することにより、フォトセンス機能を実現するとともに、ボトムゲート電極を第2の電極として電圧を印加することにより、チャネル領域に蓄積された電荷量を読み出す機能を実現するものとして説明する。

【0023】

<第1の実施形態>

図1は、本発明に係るフォトセンサシステムの駆動制御方法の第1の実施形態を示すタイミングチャートである。ここでは、図13、図14に示したフォトセンサシステムを適宜参照しながら、駆動制御方法を説明する。

(第1のステップ)

図1に示すように、本実施形態に係る駆動制御方法は、まず、ダブルゲート型フォトセンサ10のトップゲート端子TGを行方向に接続するトップゲートライン101の各々に、順次リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ を印加してリセット期間Tresetをスタートし、各行毎のダブルゲート型フォトセンサ10を初期化する。ここで、リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ は、ハイレベルが正電圧Vtgh、ローレベルが負電圧Vtglのパルス信号であり、電圧Vtgh、Vtglは、GNDレベル(0V)に対して極性を反転した(対称な)電圧波形を有している。

【0024】

(第2のステップ)

次いで、リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ が立ち下がり、リセット期

間 T_{reset} が終了することにより、光蓄積期間 T_a がスタートして、各行毎にダブルゲート型フォトセンサ 10 のトップゲート電極側から入射される光量に応じてチャンネル領域に電荷（正孔）が発生し、蓄積される。ここで、図 1 に示すように、光蓄積期間 T_a 内に並行して、プリチャージ信号 ϕ_{pg} を順次印加することにより、プリチャージ期間 T_{prch} をスタートし、データライン 103 にプリチャージ電圧 V_{prch} を印加してダブルゲート型フォトセンサ 10 のドレイン電極に所定の電圧を保持させるプリチャージ動作が行われる。

【0025】

そして、光蓄積期間 T_a 及びプリチャージ期間 T_{prch} が終了したダブルゲート型フォトセンサ 10 に対して、各行毎にボトムゲートライン 102 に順次読み出しパルス ϕ_{B1} 、 ϕ_{B2} 、… ϕ_{Bn} を印加して、読み出し期間 T_{read} をスタートし、ダブルゲート型フォトセンサ 10 に蓄積された電荷に対応する電圧変化 V_D を、コラムスイッチ 113 によりデータライン 103 を介して読み出す。ここで、読み出しパルス ϕ_{B1} 、 ϕ_{B2} 、… ϕ_{Bn} は、ハイレベルが正電圧 V_{bgh} 、ローレベルが負電圧 V_{bgl} のパルス信号であり、電圧 V_{bgh} 、 V_{bgl} は、GND レベル（0V）に対して極性を反転した（対称な）電圧値を有している。

なお、照射光量の検出方法は、上述した従来技術と同様に、各データライン 103 の電圧 V_D の低下傾向を、読み出し期間 T_{read} がスタートして、所定の時間経過後の電圧値を検出することにより、あるいは、所定のしきい値電圧を基準にして、その電圧値に至るまでの時間を検出することにより、照射光量を換算する。

【0026】

（第 3 のステップ／第 4 のステップ）

次いで、上記「リセット動作→光蓄積動作→プリチャージ動作→読み出し動作」からなる一連の画像読取動作が、全ての行（ n ）において終了すると、当該 n 行分の画像読取動作に要した時間と同一の時間を有し、かつ、各行毎のトップゲートライン 101、及び、ボトムゲートライン 102 に印加された電圧の逆バイアスとなる電圧（逆バイアス電圧）を、各行のトップゲートライン 101、及び、ボトムゲートライン 102 に印加する。

【 0 0 2 7 】

すなわち、図 1 に示すように、リセット動作において、ダブルゲート型フォトセンサ 1 0 のトップゲート T G に印加されるリセットパルス $\phi T 1$ 、 $\phi T 2$ 、 \dots $\phi T n$ の電圧波形に対して、逆極性となる電圧波形（逆バイアス電圧波形）を、上記画像読取動作の処理サイクルの直前、あるいは、直後に付加する（図 1 では直後）。また、読み出し動作において、ダブルゲート型フォトセンサ 1 0 のボトムゲート B G に印加される読み出しパルス $\phi B 1$ 、 $\phi B 2$ 、 \dots $\phi B n$ の電圧波形に対して、逆極性となる電圧波形（逆バイアス電圧波形）を、上記画像読取動作の処理サイクルの直前、あるいは、直後に付加する（図 1 では直後）。

【 0 0 2 8 】

ここで、ダブルゲート型フォトセンサ 1 0 のトップゲート T G 及びボトムゲート B G に印加される電圧波形について、より具体的に説明する。

図 2 は、本実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。ここでは、1 行目のトップゲートライン及びボトムゲートラインに印加される電圧波形を例として示す。

図 2 に示すように、画像読取動作におけるリセット動作時には、極めて短い時間（Treset）のみ、例えば、正電圧 V_{tgh} のリセットパルス $\phi T 1$ がトップゲートライン 1 0 1 を介してトップゲート T G に印加され、リセット動作以外の他の動作時には、比較的長い時間、負電圧 V_{tgl} が印加される。すなわち、トップゲート T G に印加される実効電圧は、負電圧に大きく偏っている。

【 0 0 2 9 】

一方、読み出し動作時においても、短い時間（Tread）のみ、正電圧 V_{bgh} の読み出しパルス $\phi B 1$ がボトムゲートライン 1 0 2 を介してボトムゲート B G に印加され、読み出し動作 Tread 以外の他の動作時には、比較的長い時間、負電圧 V_{bgl} が印加される。すなわち、ボトムゲート B G に印加される実効電圧は、負電圧に大きく偏っている。

そのため、このような特定の極性の電圧側に偏った電圧がゲート電極に印加された状態が継続すると、上述したように、ゲート電極に正孔がトラップされて、

ダブルゲート型フォトセンサの感度特性の変化や、素子特性の劣化が生じる。

そこで、本実施形態においては、画像読取動作の処理サイクル内に印加される電圧波形を、0 Vに対して電圧極性を反転した逆バイアス電圧波形を生成し、画像読取動作の処理サイクルの直前、あるいは、直後にゲート電極に印加する。

【0030】

このようなフォトセンサシステムの駆動制御方法によれば、画像読取動作におけるトップゲートTG及びボトムゲートBGへの電圧の印加状態と、逆バイアス電圧波形の印加動作（以下、逆バイアス印加動作という）における電圧の印加状態とは、互いに同等の印加タイミングを有するとともに、逆極性の電圧の時間積分値を有することになる。したがって、画像読取動作及び逆バイアス印加動作を含めた全体の処理期間において、トップゲートTG及びボトムゲートBGに印加される電圧は互いに打ち消し合って（相殺して）実効電圧の極性の偏りが解消される。

【0031】

換言すれば、図2に示すように、画像読取動作において、トップゲートTG及びボトムゲートBGに印加される実効電圧を、それぞれ V_{te1} 、 V_{be1} とし、逆バイアス印加動作においてトップゲートTG及びボトムゲートBGに印加される実効電圧を、それぞれ V_{te2} 、 V_{be2} とすると、 $|V_{te1}| = |V_{te2}|$ 、 $|V_{be1}| = |V_{be2}|$ となるので、全体の処理期間にトップゲートTG及びボトムゲートBGに印加される電圧の平均（平均実効電圧） V_{te} 、 V_{be} は、0 Vとなって、ゲート電極への正孔の蓄積が防止されるので、ダブルゲート型フォトセンサの感度特性の変化や素子特性の劣化を抑制することができる。

【0032】

なお、本実施形態においては、画像読取動作、及び、逆バイアス印加動作に際し、トップゲートTGに印加される電圧波形に必要な電圧値は、0 Vに対して反転極性を有する一対の正電圧 V_{tgh} 及び負電圧 V_{tgl} （ $= -V_{tgh}$ ）であり、また、ボトムゲートBGに印加される電圧波形に必要な電圧値は、0 Vに対して反転極性を有する一対の正電圧 V_{bgh} 及び負電圧 V_{bgl} （ $= -V_{bgh}$ ）であるので、図13に示したトップゲートドライバ111及びボトムゲートドライバ112を、

各々2値ドライバにより構成することができ、フォトセンサシステムのコストアップを抑制することができる。

【0033】

＜第2の実施形態＞

次に、本発明に係るフォトセンサシステムの駆動制御方法の第2の実施形態について、図面を参照して説明する。

本実施形態は、上述した第1の実施形態において、画像読取動作、及び、逆バイアス印加動作に際し、トップゲートTG及びボトムゲートBGに印加される電圧波形に必要な電圧値が、0Vに対して対称な正、負各2電圧の計4値を有し、トップゲートドライバ111及びボトムゲートドライバ112を各々多値のドライバにより構成したことを特徴とする。

図3は、本発明に係るフォトセンサシステムの駆動制御方法の第2の実施形態を示すタイミングチャートであり、図4は、本実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。ここで、上述した実施形態と同等の制御処理については、その説明を簡略化して説明する。

【0034】

（第1のステップ）

図3に示すように、本実施形態に係る駆動制御方法は、上述した実施形態と同様に、まず、トップゲートライン101の各々に、順次リセットパルス $\phi T1$ 、 $\phi T2$ 、… ϕTn を印加してリセット期間 T_{reset} をスタートし、各行毎のダブルゲート型フォトセンサ10を初期化した後、光蓄積期間 T_a をスタートし、入射される光量に応じてチャネル領域に電荷（正孔）を蓄積する。ここで、リセットパルス $\phi T1$ 、 $\phi T2$ 、… ϕTn は、ハイレベルが正電圧 V_{tgh2} 、ローレベルが負電圧 V_{tgl1} を有するパルス信号である。

【0035】

（第2のステップ）

そして、光蓄積期間 T_a 及びプリチャージ期間 T_{prch} が終了したダブルゲート型フォトセンサ10に対して、各行毎にボトムゲートライン102に順次読み出

しパルス $\phi B 1$ 、 $\phi B 2$ 、 $\dots \phi B n$ を印加して、読み出し期間 T_{read} をスタートし、蓄積された電荷に対応する電圧変化 V_D をデータライン 103 を介して読み出す。ここで、読み出しパルス $\phi B 1$ 、 $\phi B 2$ 、 $\dots \phi B n$ は、ハイレベルが正電圧 V_{bgh2} 、ローレベルが負電圧 V_{bgl1} を有するパルス信号である。

【0036】

(第3のステップ/第4のステップ)

次いで、上記一連の画像読取動作が、全ての行 (n) において終了すると、当該 n 行分の画像読取動作に要した時間と同一の時間を有し、かつ、各行毎のトップゲートライン 101、及び、ボトムゲートライン 102 に印加された電圧波形の逆バイアス電圧波形を、上記画像読取動作の処理サイクルの直前、あるいは、直後に各行のトップゲートライン 101、及び、ボトムゲートライン 102 に印加する (図3では直後)。

【0037】

すなわち、図4に示すように、トップゲート TG には、画像読取動作の処理サイクル内に印加される電圧波形を $0V$ に対して電圧極性を反転し、ハイレベルとして正電圧 V_{tgh1} ($= -V_{tgl1}$)、ローレベルとして負電圧 V_{tgl2} ($= -V_{tgh2}$) を有するパルス信号が印加される。また、ボトムゲート BG には、画像読取動作の処理サイクル内に印加される電圧波形を $0V$ に対して電圧極性を反転し、ハイレベルとして正電圧 V_{bgh1} ($= -V_{bgl1}$)、ローレベルとして負電圧 V_{bgl2} ($= -V_{bgh2}$) を有するパルス信号が印加される。

【0038】

このようなフォトセンサシステムの駆動制御方法によれば、画像読取動作におけるトップゲート TG 及びボトムゲート BG への電圧の印加状態と、逆バイアス印加動作における電圧の印加状態とは、互いに同等の印加タイミングを有するとともに、逆極性の電圧の時間積分値を有することになる。したがって、画像読取動作及び逆バイアス印加動作を含めた全体の処理期間において、トップゲート TG 及びボトムゲート BG に各々印加される平均実効電圧 V_{te} 、 V_{be} は、 $0V$ となって、正孔の蓄積が防止され、ダブルゲート型フォトセンサの感度特性の変化や素子特性の劣化を抑制することができる。

また、多値のドライバにより、トップゲートTG及びボトムゲートBGに印加される電圧を制御しているので、ダブルゲート型フォトセンサの感度特性等に対応した適切な電圧を印加することができ、画像読取動作を良好に実行することができる。

【0039】

<第3の実施形態>

次に、本発明に係るフォトセンサシステムの駆動制御方法の第3の実施形態について、図面を参照して説明する。

本実施形態は、画像読取動作、及び、逆バイアス印加動作に際し、トップゲートTG及びボトムゲートBGに印加される電圧波形に必要な電圧値が、0Vに対して非対称な正、負各1電圧の2値を有し、トップゲートドライバ111及びボトムゲートドライバ112を各々2値のドライバにより構成したことを特徴とする。

図5は、本発明に係るフォトセンサシステムの駆動制御方法の第3の実施形態を示すタイミングチャートであり、図6は、本実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。ここで、上述した実施形態と同等の制御処理については、その説明を簡略化して説明する。

【0040】

(第1のステップ)

図5に示すように、本実施形態に係る駆動制御方法は、上述した実施形態と同様に、まず、トップゲートライン101の各々に、順次リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ を印加してリセット期間 T_{reset} をスタートし、各行毎のダブルゲート型フォトセンサ10を初期化した後、光蓄積期間 T_a をスタートし、入射される光量に応じてチャネル領域に電荷（正孔）を蓄積する。ここで、リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ は、0Vに対して非対称な正電圧（ハイレベル） V_{tgh} 及び負電圧（ローレベル） V_{tgl} （ $\neq -V_{tgh}$ ）を有するパルス信号である。

【0041】

(第 2 のステップ)

そして、光蓄積期間 T_a 及びプリチャージ期間 T_{prch} が終了したダブルゲート型フォトセンサ 10 に対して、各行毎にボトムゲートライン 102 に順次読み出しパルス ϕB_1 、 ϕB_2 、 $\dots \phi B_n$ を印加して、読み出し期間 T_{read} をスタートし、蓄積された電荷に対応する電圧変化 V_D をデータライン 103 を介して読み出す。ここで、読み出しパルス ϕB_1 、 ϕB_2 、 $\dots \phi B_n$ は、0 V に対して非対称な正電圧（ハイレベル） V_{bgh} 及び負電圧（ローレベル） V_{bgl} ($\neq -V_{bgh}$) を有するパルス信号である。

【0042】

(第 3 のステップ／第 4 のステップ)

次いで、上記一連の画像読取動作が、全ての行 (n) において終了すると、各行毎のトップゲートライン 101、及び、ボトムゲートライン 102 に印加された電圧波形の実効電圧を打ち消して 0 V とするような逆バイアス電圧波形を、上記画像読取動作の処理サイクルの直前、あるいは、直後に各行のトップゲートライン 101、及び、ボトムゲートライン 102 に印加する（図 5 では直後）。

【0043】

すなわち、トップゲート TG には、画像読取動作の処理サイクル内に印加される電圧波形の実効電圧 V_{te1} を 0 V に対して電圧極性を反転した実効電圧 V_{te2} ($= -V_{te1}$) を有し、かつ、ハイレベルとして正電圧 V_{tgh} 、ローレベルとして負電圧 V_{tgl} を有するとともに、正電圧 V_{tgh} 及び負電圧 V_{tgl} の信号幅を調整した電圧波形を有するパルス信号が印加される。また、ボトムゲート BG には、画像読取動作の処理サイクル内に印加される電圧波形の実効電圧 V_{be1} を、0 V に対して電圧極性を反転した実効電圧 V_{be2} ($= -V_{be1}$) を有し、かつ、ハイレベルとして正電圧 V_{bgh} 、ローレベルとして負電圧 V_{bgl} を有するとともに、正電圧 V_{tgh} 及び負電圧 V_{tgl} の信号幅を調整した電圧波形を有するパルス信号が印加される。

【0044】

具体的には、図 6 に示すように、逆バイアス電圧波形の実効電圧 V_{te2} 、 V_{be2} が、画像読取動作時の電圧波形の実効電圧 V_{te1} 、 V_{be1} を各々反転した関係とな

るように、逆バイアス電圧波形のハイレベル V_{tgh} 、 V_{bgh} 及びローレベル V_{tgl} 、 V_{bgl} の信号幅（印加時間）が調整されている。

このようなフォトセンサシステムの駆動制御方法によれば、画像読取動作におけるトップゲート TG 及びボトムゲート BG への電圧の印加状態と、逆バイアス印加動作における電圧の印加状態とは、互いに逆極性の実効電圧が印加されることになるので、画像読取動作及び逆バイアス印加動作を含めた全体の処理期間において、トップゲート TG 及びボトムゲート BG に各々印加される平均実効電圧 V_{te} 、 V_{be} は、 $0V$ （ GND レベル）となって、正孔の蓄積が防止され、ダブルゲート型フォトセンサの感度特性の変化や素子特性の劣化を抑制することができる。

また、フォトセンサシステムのトップゲートドライバ及びボトムゲートドライバを、各々 2 値ドライバにより構成することができるので、システムのコストアップを抑制することができる。

【0045】

<第4の実施形態>

次に、本発明に係るフォトセンサシステムの駆動制御方法の第4の実施形態について、図面を参照して説明する。

本実施形態は、ダブルゲート型フォトセンサを構成するトップゲート側のトランジスタとボトムゲート側のトランジスタにおいて、トップゲート TG 及びボトムゲート BG に印加される電圧極性に応じて生じるしきい値の変化を相殺して、しきい値変化量を最小となるように逆バイアス電圧波形を設定したことを特徴とする。

図7は、ダブルゲート型フォトセンサを構成するトランジスタにおけるゲート電極への印加電圧としきい値電圧の変化傾向の一例を示す概略関係図である。ここで、図7は、 CV 測定法による BT 処理後のトランジスタのしきい値電圧の変化傾向の一例を示すものである。

【0046】

図7に示すように、この例においては、ゲート電極に印加される電圧が正バイアスの場合には、しきい値電圧の変化量は、数 $V \sim$ 十数 V と大幅な変化を示し、

一方、ゲート電極に印加される電圧が負バイアスの場合には、しきい値電圧の変化量は、数V以内と小幅な変化を示す。したがって、ゲート電極に正バイアスが印加された状態が継続すると、しきい値電圧の大幅な変化を生じて、ダブルゲート型フォトセンサの感度特性の変化や素子特性の劣化を招く。

【0047】

そこで、本実施形態においては、ゲート電極に印加される電圧極性によるトランジスタのしきい値変化を相殺して、しきい値変化量が最小となるように逆バイアス電圧波形を生成し、画像読取動作の処理サイクルの直前、あるいは、直後にゲート電極に印加する。

なお、図7に示したトランジスタのしきい値電圧の変化傾向においては、ゲート電極に正バイアスを印加した場合に、大幅な変化を示すものであるが、これは一例にすぎず、図7に示した場合とは逆に、ゲート電極に負バイアスを印加した場合に、大幅な変化を示すものもある。

【0048】

図8は、本発明に係るフォトセンサシステムの駆動制御方法の第4の実施形態を示すタイミングチャートであり、図9は、本実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。ここで、上述した実施形態と同等の制御処理については、その説明を簡略化して説明する。

(第1のステップ)

図8に示すように、本実施形態に係る駆動制御方法は、上述した実施形態と同様に、まず、トップゲートライン101の各々に、順次リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ を印加してリセット期間 T_{reset} をスタートし、各行毎のダブルゲート型フォトセンサ10を初期化した後、光蓄積期間 T_a をスタートし、入射される光量に応じてチャネル領域に電荷（正孔）を蓄積する。ここで、リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ は、0Vに対して非対称な正電圧（ハイレベル） V_{tgh2} 及び負電圧（ローレベル） V_{tgl1} （ $\neq -V_{tgh2}$ ）を有するパルス信号である。

【0049】

(第2のステップ)

そして、光蓄積期間 T_a 及びプリチャージ期間 T_{prch} が終了したダブルゲート型フォトセンサ 10 に対して、各行毎にボトムゲートライン 102 に順次読み出しパルス ϕB_1 、 ϕB_2 、 $\dots \phi B_n$ を印加して、読み出し期間 T_{read} をスタートし、蓄積された電荷に対応する電圧変化 V_D をデータライン 103 を介して読み出す。ここで、読み出しパルス ϕB_1 、 ϕB_2 、 $\dots \phi B_n$ は、0 V に対して非対称な正電圧（ハイレベル） V_{bgh2} 及び負電圧（ローレベル） V_{bgl1} ($\neq -V_{bgh2}$) を有するパルス信号である。

【0050】

(第3のステップ/第4のステップ)

次いで、上記一連の画像読取動作が、全ての行 (n) において終了すると、各行毎のトップゲートライン 101、及び、ボトムゲートライン 102 に印加された電圧極性に応じて生じるトランジスタのしきい値電圧の変化量を最小とするような逆バイアス電圧波形を、上記画像読取動作の処理サイクルの直前、あるいは、直後に各行のトップゲートライン 101、及び、ボトムゲートライン 102 に印加する（図8では直後）。

【0051】

すなわち、トップゲート TG には、画像読取動作の処理サイクル内に印加された電圧波形を、例えば図7に示したトランジスタのしきい値電圧の変化量を最小又は0とするような平均実効電圧 V_{te} ($\neq 0$ V) に対して電圧極性を反転した電圧波形を有し、ハイレベルとして正電圧 V_{tgh1} 、ローレベルとして負電圧 V_{tgl2} を有するパルス信号が印加される。また、ボトムゲート BG には、画像読取動作の処理サイクル内に印加された電圧波形を、上記トランジスタのしきい値電圧の変化量を最小又は0とするような平均実効電圧 V_{be} ($\neq 0$ V) に対して電圧極性を反転した電圧波形を有し、ハイレベルとして正電圧 V_{bgh1} 、ローレベルとして負電圧 V_{bgl2} を有するパルス信号が印加される。

【0052】

具体的には、図9に示すように、画像読取動作の処理サイクル内にゲート電極に印加される実効電圧 V_{te1} 、 V_{be1} に対して、図7に示したトランジスタのしき

い値電圧の変化傾向を考慮し、画像読取動作及び逆バイアス印加動作を含めた全体の処理期間において、しきい値電圧の変化量が最小又は0となる平均実効電圧 V_{te} 、 V_{be} が得られるように、逆バイアス電圧波形の実効電圧 V_{te2} 、 V_{be2} が設定される。すなわち、画像読取動作における実効電圧 V_{te1} 、 V_{be1} と、逆バイアス印加動作における実効電圧 V_{te2} 、 V_{be2} の和が、各々平均実効電圧 V_{te} 、 V_{be} となるように設定されている。

【0053】

このようなフォトセンサシステムの駆動制御方法によれば、画像読取動作及び逆バイアス印加動作を含めた全体の処理期間における平均実効電圧を、トランジスタのしきい値電圧の変化量が0又は最小となるように、トップゲートTG及びボトムゲートBGに逆バイアス電圧波形を各々印加しているので、トップゲートTG及びボトムゲートBGに印加される電圧極性に起因して変化するしきい値電圧の影響を抑制して、フォトセンサの感度特性や素子特性の劣化を伴わない信頼性の高いフォトセンサシステムを提供することができる。

また、多値のドライバにより、トップゲートTG及びボトムゲートBGに印加される電圧を制御しているので、ダブルゲート型フォトセンサの感度特性等に対応した適切な電圧を印加することができ、画像読取動作を良好に実行することができる。

【0054】

<第5の実施形態>

次に、本発明に係るフォトセンサシステムの駆動制御方法の第5の実施形態について、図面を参照して説明する。

本実施形態は、画像読取動作、及び、逆バイアス印加動作に際し、トップゲートTG及びボトムゲートBGに印加される電圧波形が、各々のゲート電極により制御されるトランジスタのしきい値電圧の変化量を最小とするような実効電圧を有するように、逆バイアス電圧波形の正負電圧、及び、その信号幅（印加時間）を調整したことを特徴とする。

図10は、本発明に係るフォトセンサシステムの駆動制御方法の第5の実施形態を示すタイミングチャートであり、図11は、本実施形態におけるダブルゲ

ト型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。ここで、上述した実施形態と同等の制御処理については、その説明を簡略化して説明する。

【0055】

(第1のステップ)

図10に示すように、本実施形態に係る駆動制御方法は、上述した実施形態と同様に、まず、トップゲートライン101の各々に、順次リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ を印加してリセット期間 T_{reset} をスタートし、各行毎のダブルゲート型フォトセンサ10を初期化した後、光蓄積期間 Ta をスタートし、入射される光量に応じてチャネル領域に電荷（正孔）を蓄積する。ここで、リセットパルス $\phi T1$ 、 $\phi T2$ 、 $\dots \phi Tn$ は、2値ドライバであるトップゲートドライバにより供給される所定の正電圧（ハイレベル） V_{tgh} 及び負電圧（ローレベル） V_{tgl} を有するパルス信号である。

【0056】

(第2のステップ)

そして、光蓄積期間 Ta 及びプリチャージ期間 T_{prch} が終了したダブルゲート型フォトセンサ10に対して、各行毎にボトムゲートライン102に順次読み出しパルス $\phi B1$ 、 $\phi B2$ 、 $\dots \phi Bn$ を印加して、読み出し期間 T_{read} をスタートし、蓄積された電荷に対応する電圧変化 VD をデータライン103を介して読み出す。ここで、読み出しパルス $\phi B1$ 、 $\phi B2$ 、 $\dots \phi Bn$ は、2値ドライバであるボトムゲートドライバにより供給される所定の正電圧（ハイレベル） V_{bgh} 及び負電圧（ローレベル） V_{bgl} を有するパルス信号である。

【0057】

(第3のステップ／第4のステップ)

次いで、上記一連の画像読取動作が、全ての行（ n ）において終了すると、各行毎のトップゲートライン101、及び、ボトムゲートライン102に印加された電圧波形の実効電圧に応じて生じるトランジスタのしきい値電圧の変化量を最小とするような逆バイアス電圧波形を、上記画像読取動作の処理サイクルの直前、あるいは、直後に各行のトップゲートライン101、及び、ボトムゲートライ

ン 1 0 2 に印加する（図 1 0 では直後）。

【 0 0 5 8 】

すなわち、トップゲート T G には、画像読取動作の処理サイクル内に印加された電圧波形を、例えば図 7 に示したトランジスタのしきい値電圧の変化量を最小とする平均実効電圧 V_{te} ($\neq 0 V$) に対して電圧極性を反転し、さらに、正電圧 V_{tgh} 及び負電圧 V_{tgl} の信号幅を調整した電圧波形を有するパルス信号が印加される。また、ボトムゲート B G には、画像読取動作の処理サイクル内に印加された電圧波形を、上記トランジスタのしきい値電圧の変化量を最小とする平均実効電圧 V_{be} ($\neq 0 V$) に対して電圧極性を反転し、さらに、正電圧 V_{bgh} 及び負電圧 V_{bgl} の信号幅を調整した電圧波形を有するパルス信号が印加される。

【 0 0 5 9 】

具体的には、図 1 1 に示すように、画像読取動作の処理サイクル内にゲート電極に印加される実効電圧 V_{te1} 、 V_{be1} に対して、図 7 に示したトランジスタのしきい値電圧の変化傾向を考慮し、画像読取動作及び逆バイアス印加動作を含めた全体の処理期間において、しきい値電圧の変化量が最小又は 0 となる平均実効電圧 V_{te} 、 V_{be} が得られるように、逆バイアス電圧波形の実効電圧 V_{te2} 、 V_{be2} が設定される。すなわち、画像読取動作における実効電圧 V_{te1} 、 V_{be1} と、逆バイアス印加動作における実効電圧 V_{te2} 、 V_{be2} の和が、各々平均実効電圧 V_{te} 、 V_{be} となるように、正負電圧の信号幅が設定されている。

【 0 0 6 0 】

このようなフォトセンサシステムの駆動制御方法によれば、画像読取動作及び逆バイアス印加動作を含めた全体の処理期間における平均実効電圧を、トランジスタのしきい値電圧の変化量が最小又は 0 となるように、トップゲート T G 及びボトムゲート B G に逆バイアス電圧波形を各々印加しているので、トップゲート T G 及びボトムゲート B G に印加される電圧極性に起因して変化するしきい値電圧の影響を抑制して、フォトセンサの感度特性や素子特性の劣化を伴わない信頼性の高いフォトセンサシステムを提供することができる。

また、フォトセンサシステムのトップゲートドライバ及びボトムゲートドライバを、各々 2 値ドライバにより構成することができるので、システムのコストア

ップを抑制することができる。

【0061】

なお、上述した各実施形態においては、フォトセンサシステムを構成するフォトセンサとして、ダブルゲート型フォトセンサを適用した場合について説明したが、本発明はこれに限定されるものではない。すなわち、フォトセンサアレイを構成するフォトセンサにおいて、画像読取動作時（第1、第2のステップ）に印加される電圧の極性の偏りにより、素子特性が変化（又は、劣化）する傾向を有し、かつ、逆バイアス印加動作時（第3、第4のステップ）に印加する信号により、当該特性変化（劣化）が抑制されるものであれば、他の構成を有するフォトセンサであっても、本発明に係る駆動制御方法を良好に適用することができる。

【0062】

また、上述した各実施形態においては、ダブルゲート型フォトセンサの動作特性やフォトセンサシステムの装置構造に則して、電圧極性を反転したパルス信号を逆バイアス印加動作時（第3、第4のステップ）に印加する場合について説明したが、本発明はこれに限定されるものではない。すなわち、画像読取動作及び逆バイアス印加動作を含めた全体の処理期間における平均実効電圧を、フォトセンサの特性変化を抑制することができる電圧値（0Vや所定の電圧値）に設定することができるものであれば、上記反転極性を有するパルス信号に限らず、所定の一定電圧を印加するものであってもよい。

【0063】

【発明の効果】

請求項1又は4記載の発明によれば、フォトセンサを初期化する第1のステップ（リセット動作）においてフォトセンサの第1の電極に印加されるリセットパルスの実効電圧に対して、逆極性となる実効電圧（又は、逆極性となる時間積分値を有する電圧波形）を、画像読取動作の処理サイクルの直前、あるいは、直後に付加する第3のステップと、電荷蓄積期間に蓄積された電荷に対応する電圧変化を出力する第2のステップ（読み出し動作）においてフォトセンサの第2の電極に印加される読み出しパルスの実効電圧に対して、逆極性となる実効電圧（又は、逆極性となる時間積分値を有する電圧波形）を、画像読取動作の処理サイク

ルの直前、あるいは、直後に付加する第 4 のステップと、を含む駆動制御方法を有しているので、第 1 及び第 3 のステップにおいて第 1 の電極に印加される実効電圧、及び、第 2 及び第 4 のステップにおいて第 2 の電極に印加される実効電圧における電圧極性の偏りを抑制することができ、フォトセンサの感度特性の変化や素子特性の劣化を抑制することができる。

【0064】

請求項 2 記載の発明によれば、第 1 及び第 3 のステップにおいてフォトセンサに印加される信号の平均実効電圧、及び、第 2 及び第 4 のステップにおいてフォトセンサに印加される信号の平均実効電圧を、各々 0 V に設定するようにしたので、実効電圧の極性の偏りを抑制することができ、フォトセンサの感度特性の変化や素子特性の劣化を一層抑制することができる。

請求項 3 記載の発明によれば、第 1 及び第 3 のステップにおいてフォトセンサに印加される信号の平均実効電圧、及び、第 2 及び第 4 のステップにおいてフォトセンサに印加される信号の平均実効電圧を、フォトセンサにおけるしきい値電圧の変化量が最小となるように設定したので、フォトセンサに印加される実効電圧に起因して変化するしきい値電圧の影響を抑制することができ、フォトセンサの感度特性や素子特性の劣化を伴わない信頼性の高いフォトセンサシステムを提供することができる。

【0065】

請求項 5 記載の発明によれば、第 1 及び第 3 のステップにおいてフォトセンサに印加される信号の電圧波形、並びに、第 2 及び第 4 のステップにおいてフォトセンサに印加される信号の電圧波形が、各々 2 値ドライバにより生成、出力されるので、安価なドライバを採用することができ、システムのコストアップを抑制することができる。

請求項 6 記載の発明によれば、第 1 及び第 3 のステップにおいてフォトセンサに印加される信号の電圧波形、並びに、第 2 及び第 4 のステップにおいてフォトセンサに印加される信号の電圧波形が、各々多値ドライバにより生成、出力されるので、フォトセンサの感度特性等に対応した適切な電圧を印加することができ、画像読取動作を良好に実行することができる。

【0066】

請求項7記載の発明によれば、上記フォトセンサシステムを、2次元配列したダブルゲート型フォトセンサにより構成しているので、画像読取動作時にトップゲート電極及びボトムゲート電極に印加される信号の電圧極性の偏りにより生じるダブルゲート型フォトセンサの感度特性の変化や素子特性の劣化を抑制することができ、信頼性の高いフォトセンサシステムを提供することができる。

【図面の簡単な説明】

【図1】

本発明に係るフォトセンサシステムの駆動制御方法の第1の実施形態を示すタイミングチャートである。

【図2】

第1の実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。

【図3】

本発明に係るフォトセンサシステムの駆動制御方法の第2の実施形態を示すタイミングチャートである。

【図4】

第2の実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。

【図5】

本発明に係るフォトセンサシステムの駆動制御方法の第3の実施形態を示すタイミングチャートである。

【図6】

第3の実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。

【図7】

ダブルゲート型フォトセンサにおけるゲート電極への印加電圧としきい値電圧の変化傾向の一例を示す概略関係図である。

【図8】

本発明に係るフォトセンサシステムの駆動制御方法の第 4 の実施形態を示すタイミングチャートである。

【図 9】

第 4 の実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。

【図 1 0】

本発明に係るフォトセンサシステムの駆動制御方法の第 5 の実施形態を示すタイミングチャートである。

【図 1 1】

第 5 の実施形態におけるダブルゲート型フォトセンサのトップゲート及びボトムゲートに印加される電圧波形の一例を示す概略図である。

【図 1 2】

従来技術におけるダブルゲート型フォトセンサの構造を示す断面図である。

【図 1 3】

従来技術におけるダブルゲート型フォトセンサを 2 次元配列して構成されるフォトセンサシステムの概略構成図である。

【図 1 4】

フォトセンサシステムの駆動制御方法を示すタイミングチャートである。

【図 1 5】

ダブルゲート型フォトセンサの動作概念図である。

【図 1 6】

フォトセンサシステムの出力電圧の光応答特性を示す図である。

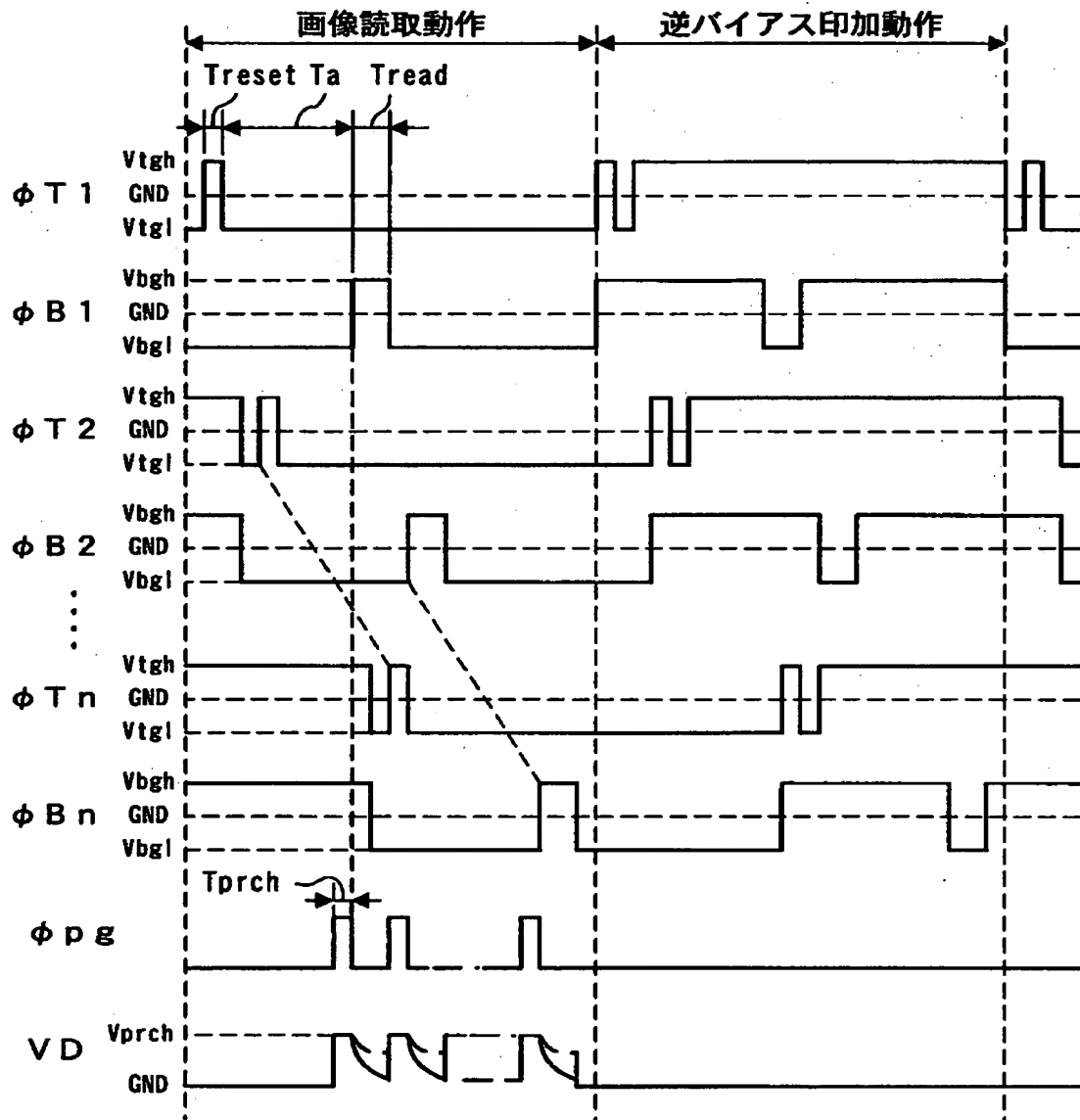
【符号の説明】

- 1 0 ダブルゲート型フォトセンサ
- 1 1 半導体薄膜
- 1 1 a 半導体層
- 2 1 トップゲート電極
- 2 2 ボトムゲート電極
- 1 0 0 センサアレイ

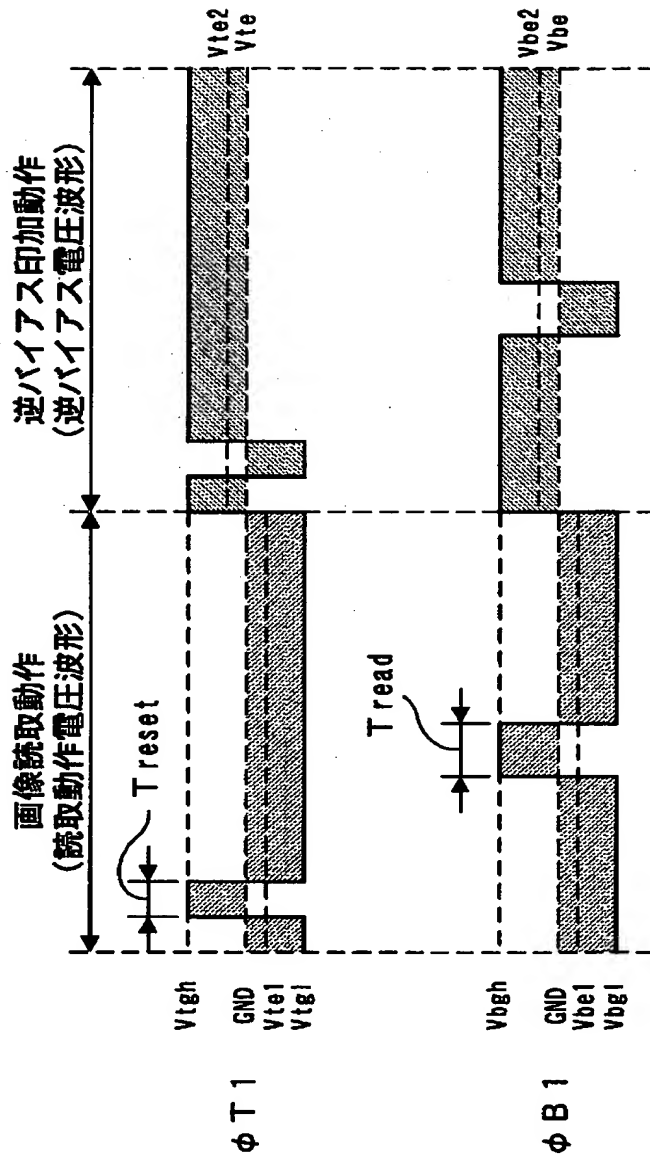
- 101 トップゲートライン
- 102 ボトムゲートライン
- 103 データライン
- 111 トップアドレスデコーダ
- 112 ローアドレスデコーダ
- 113 コラムスイッチ

【書類名】 図面

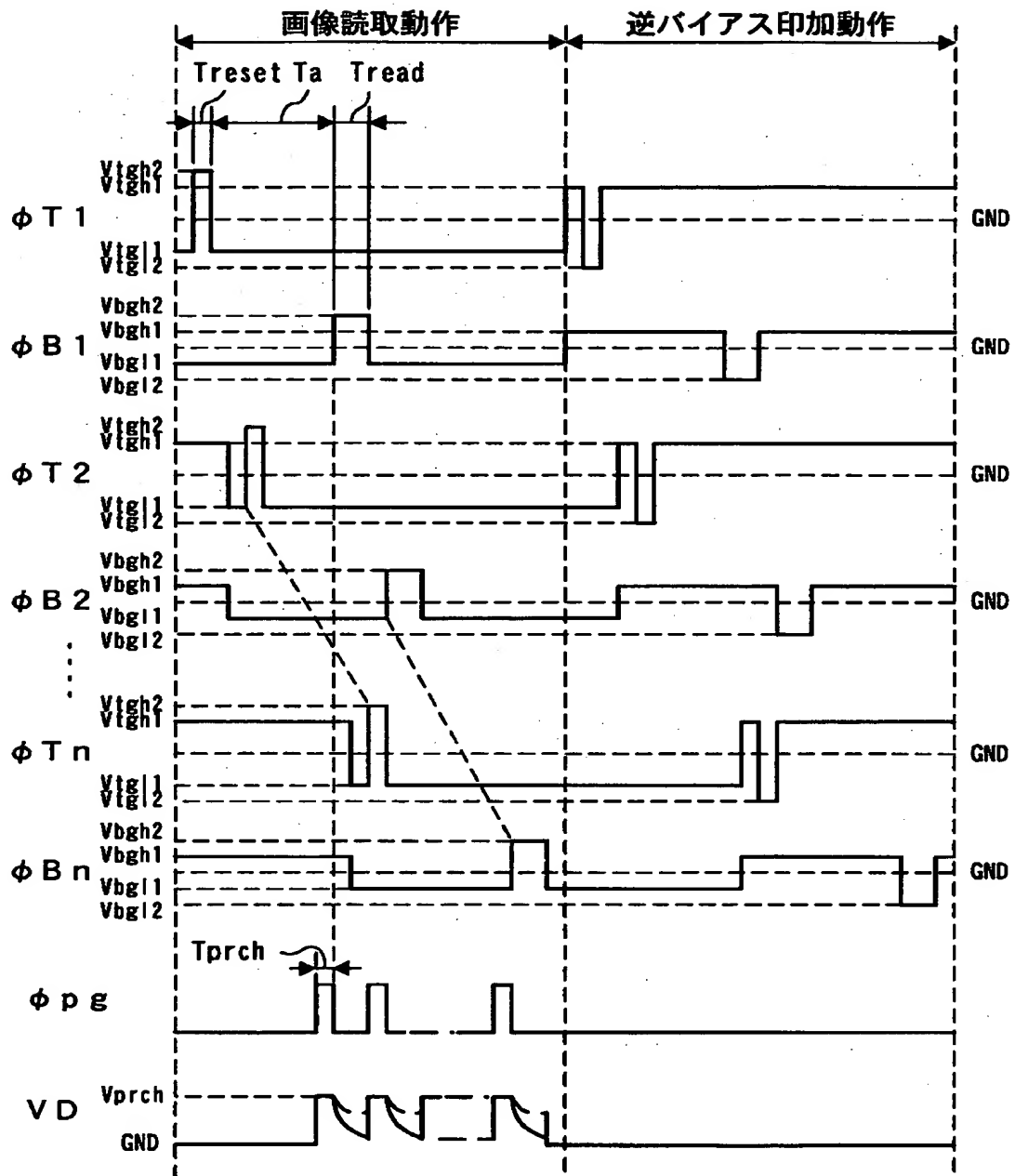
【図 1】



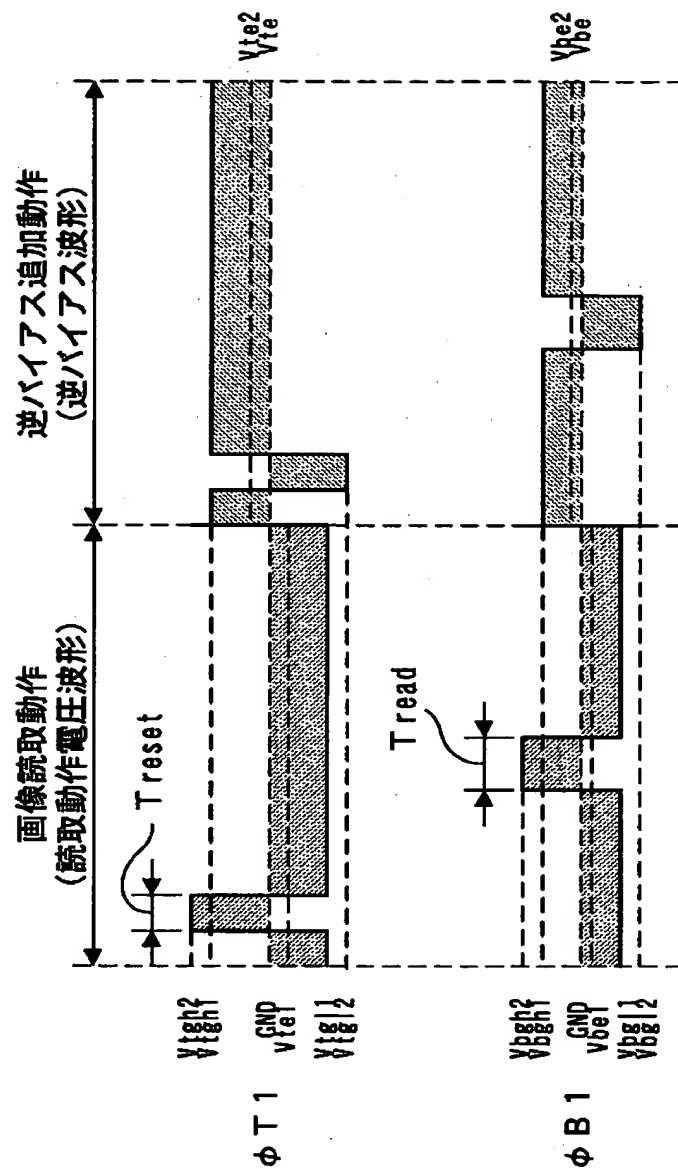
【図 2】



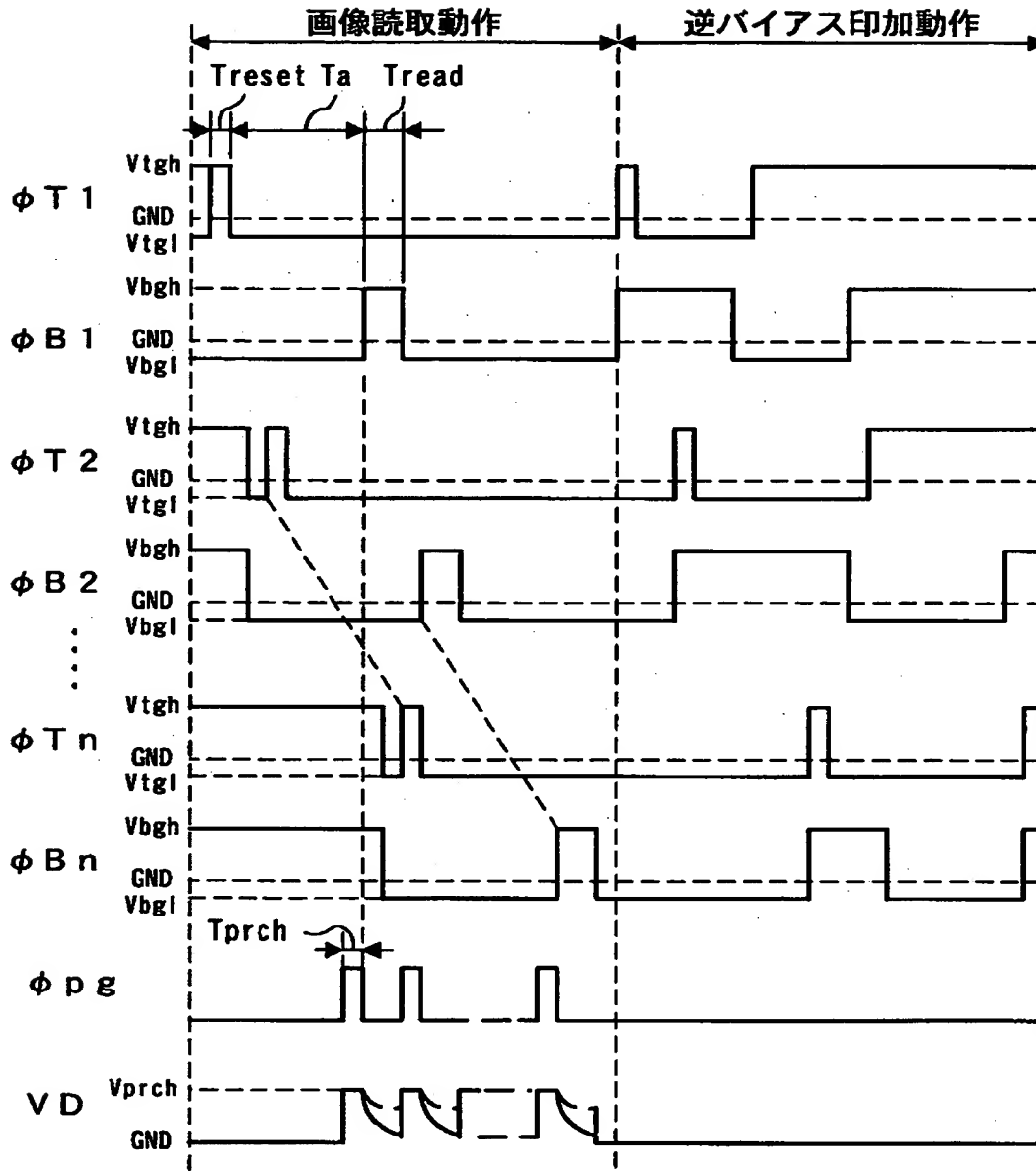
【図 3】



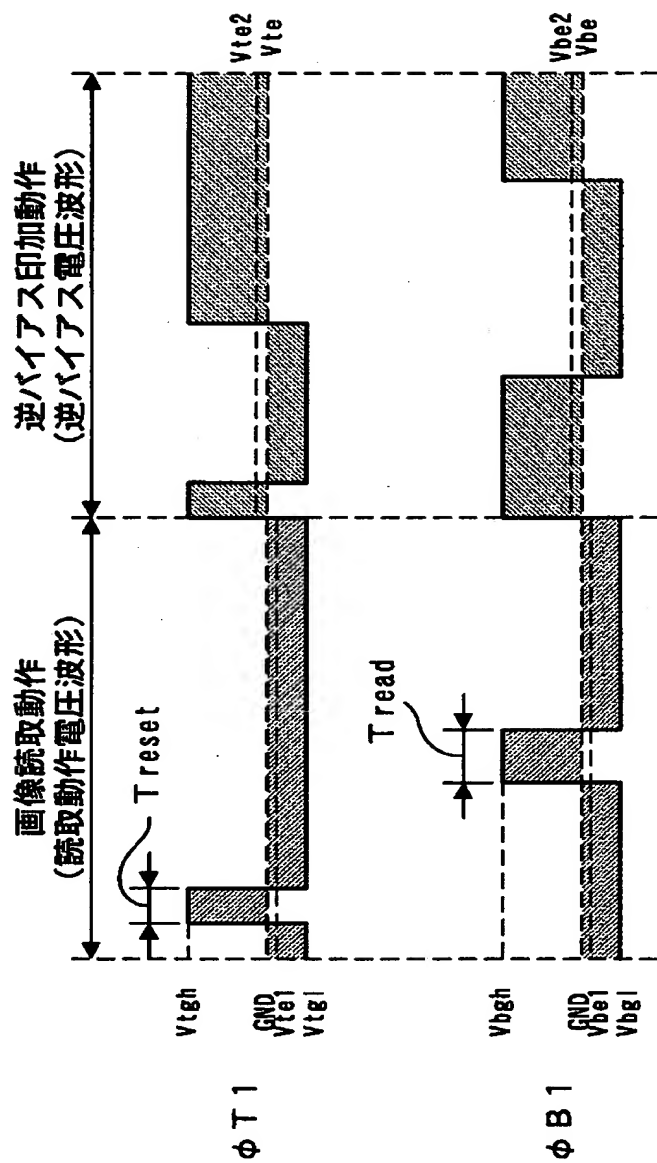
【図 4】



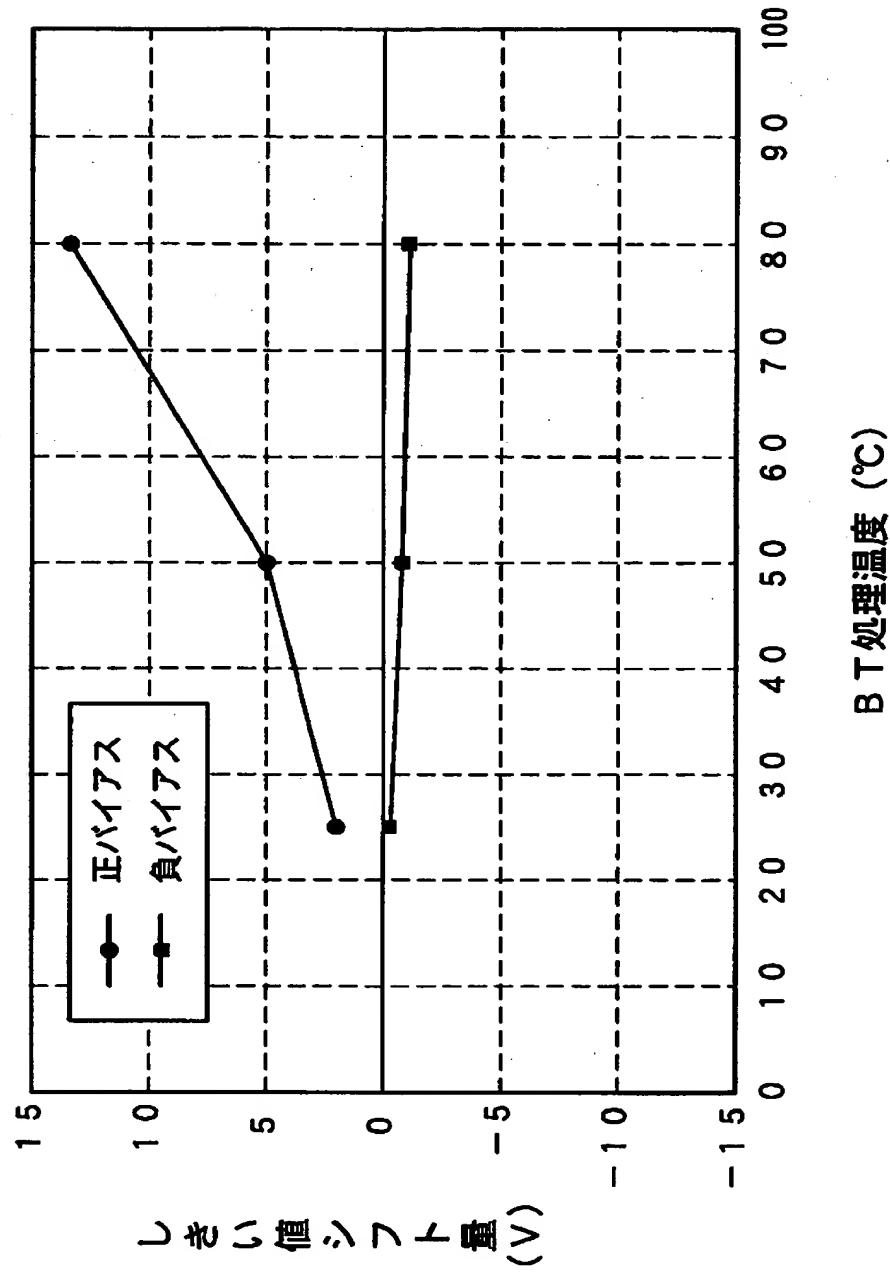
【図 5】



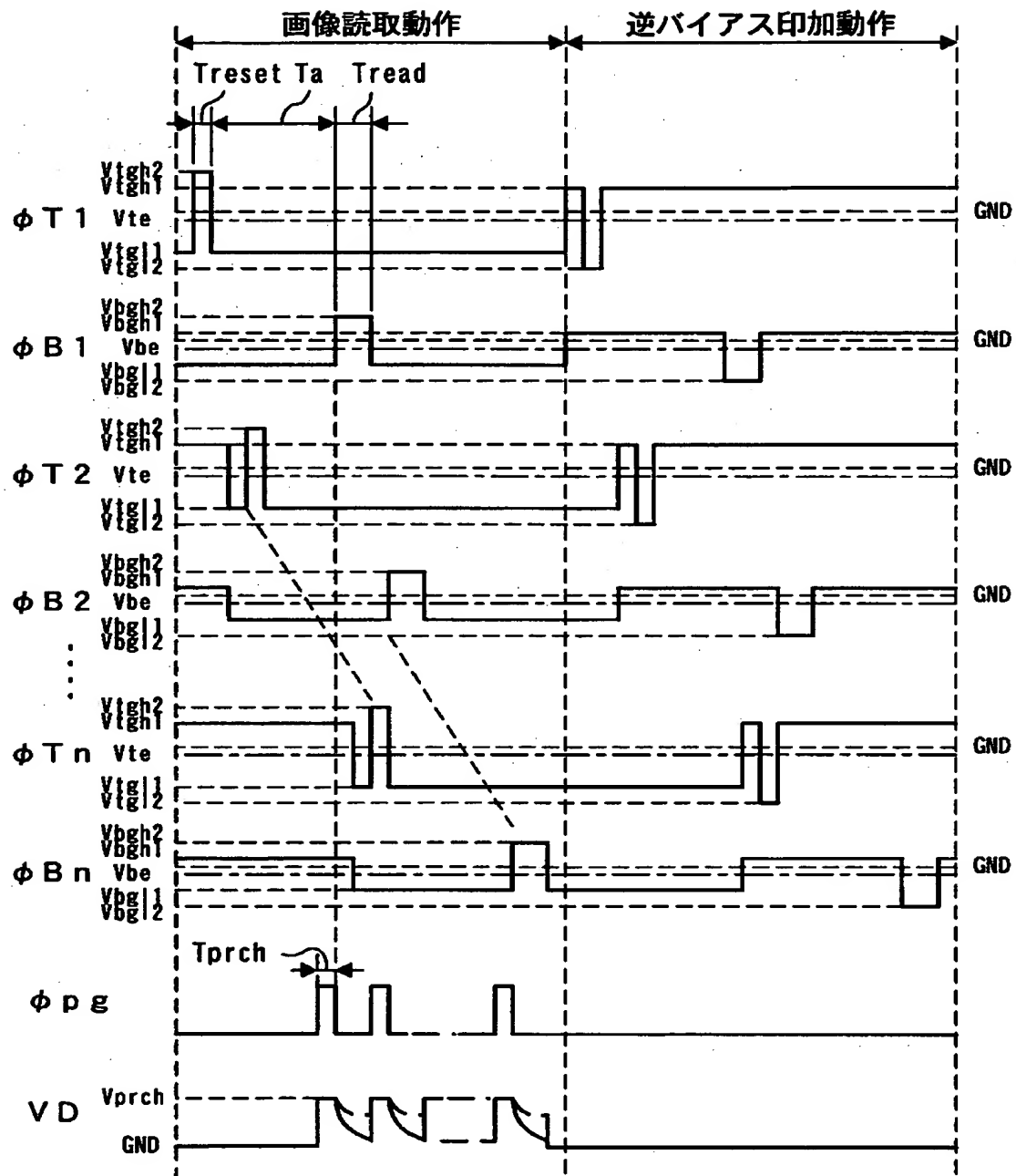
【図 6】



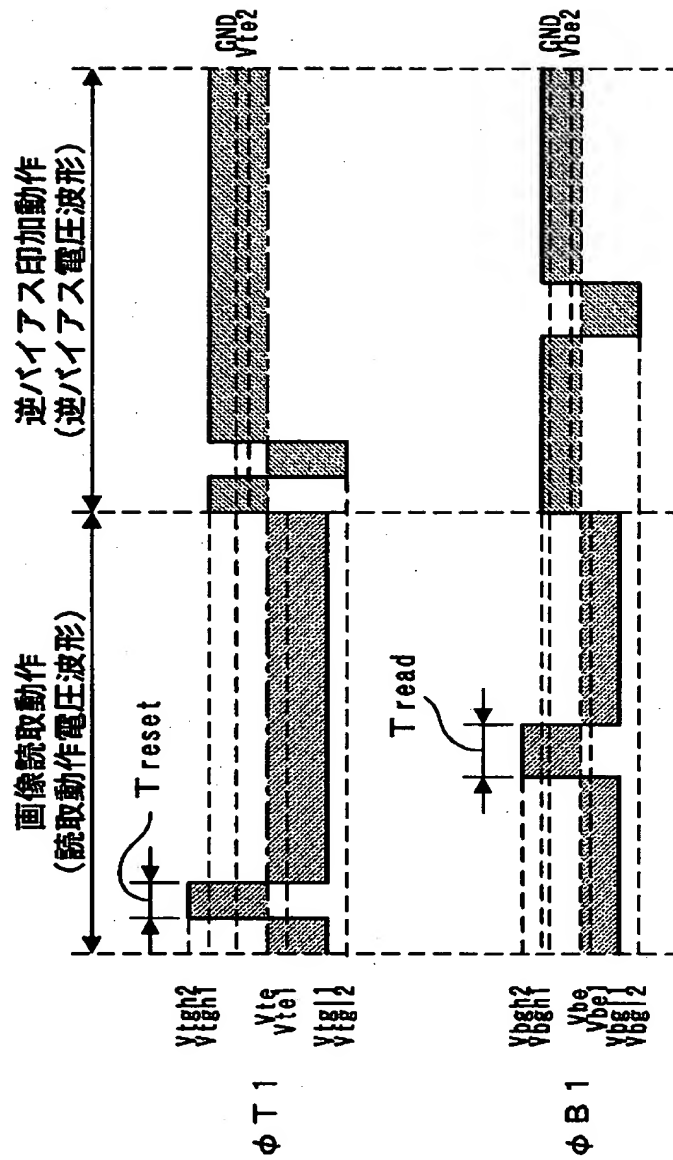
【図 7】



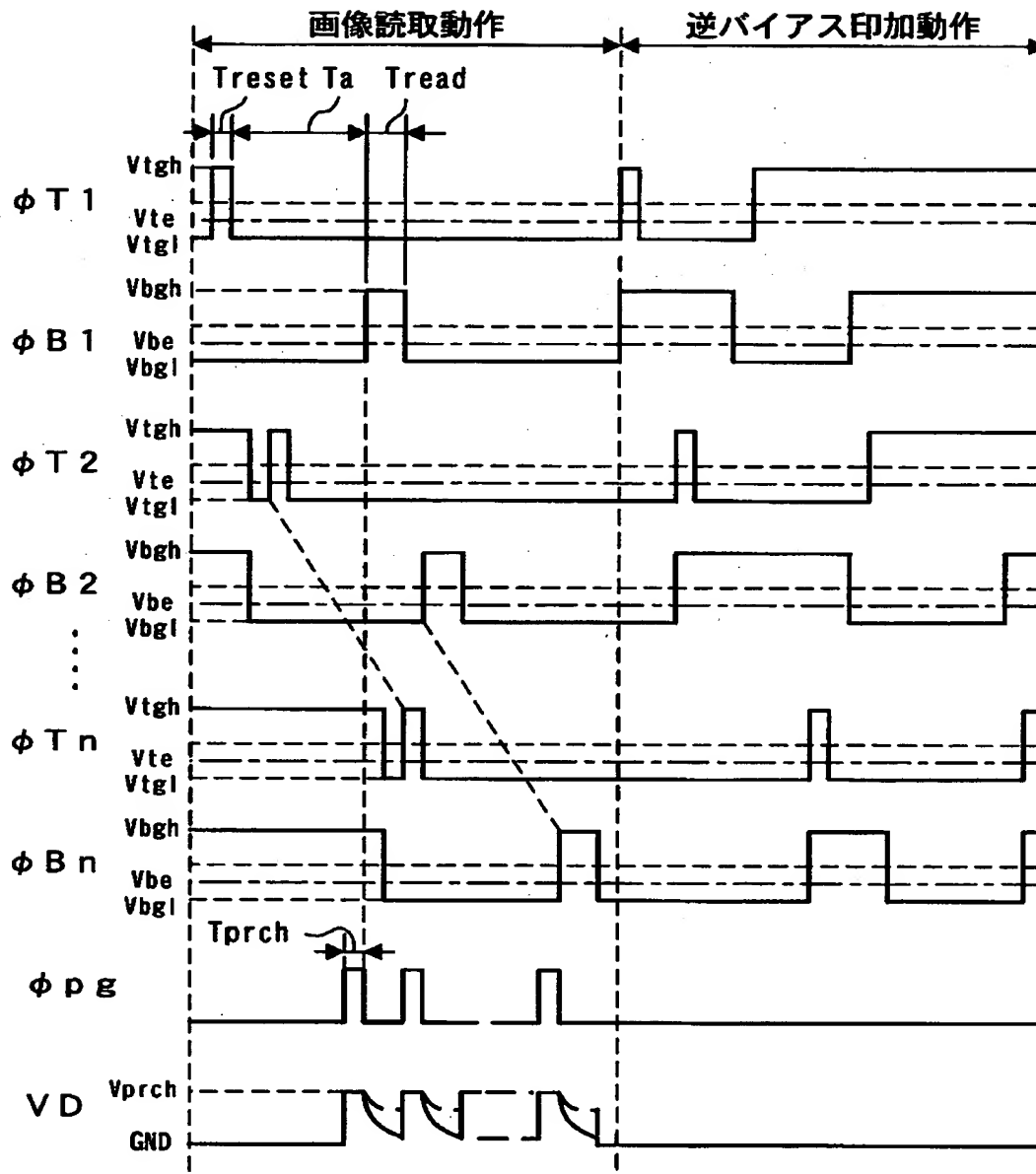
【図 8】



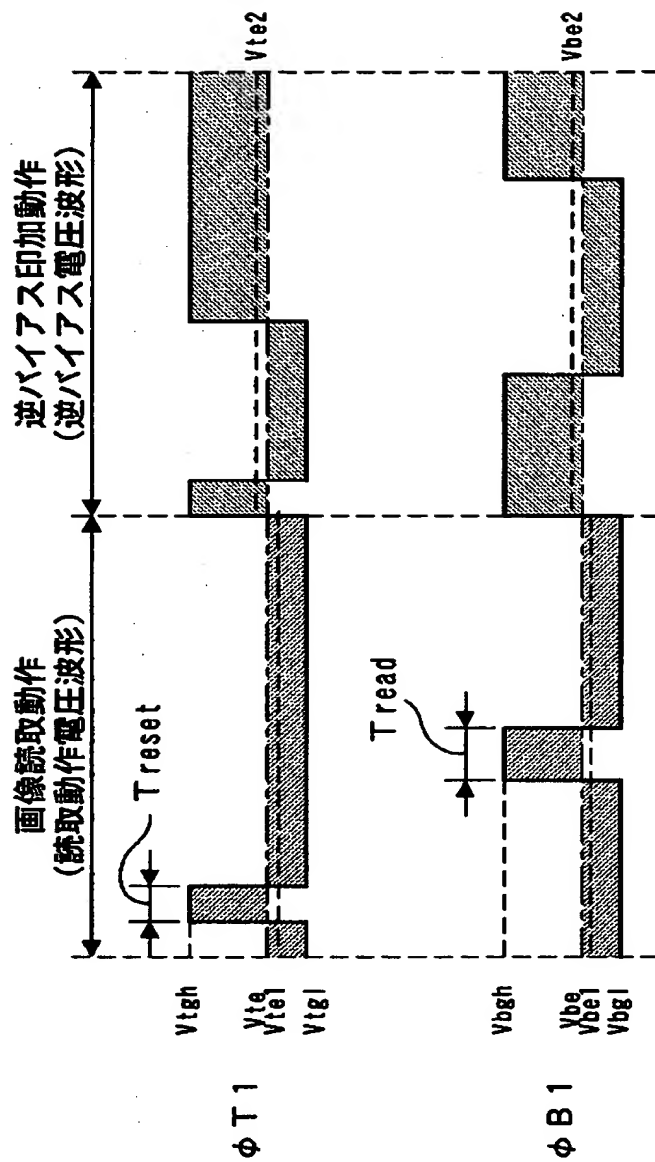
【図 9】



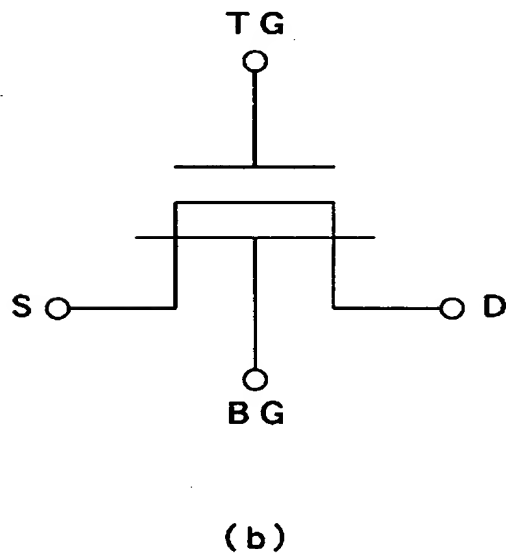
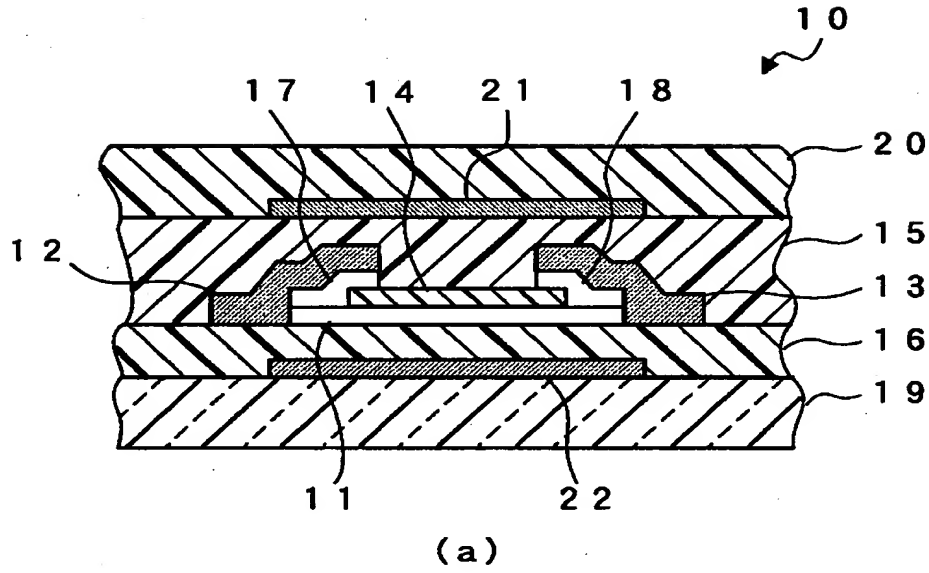
【図 1 0】



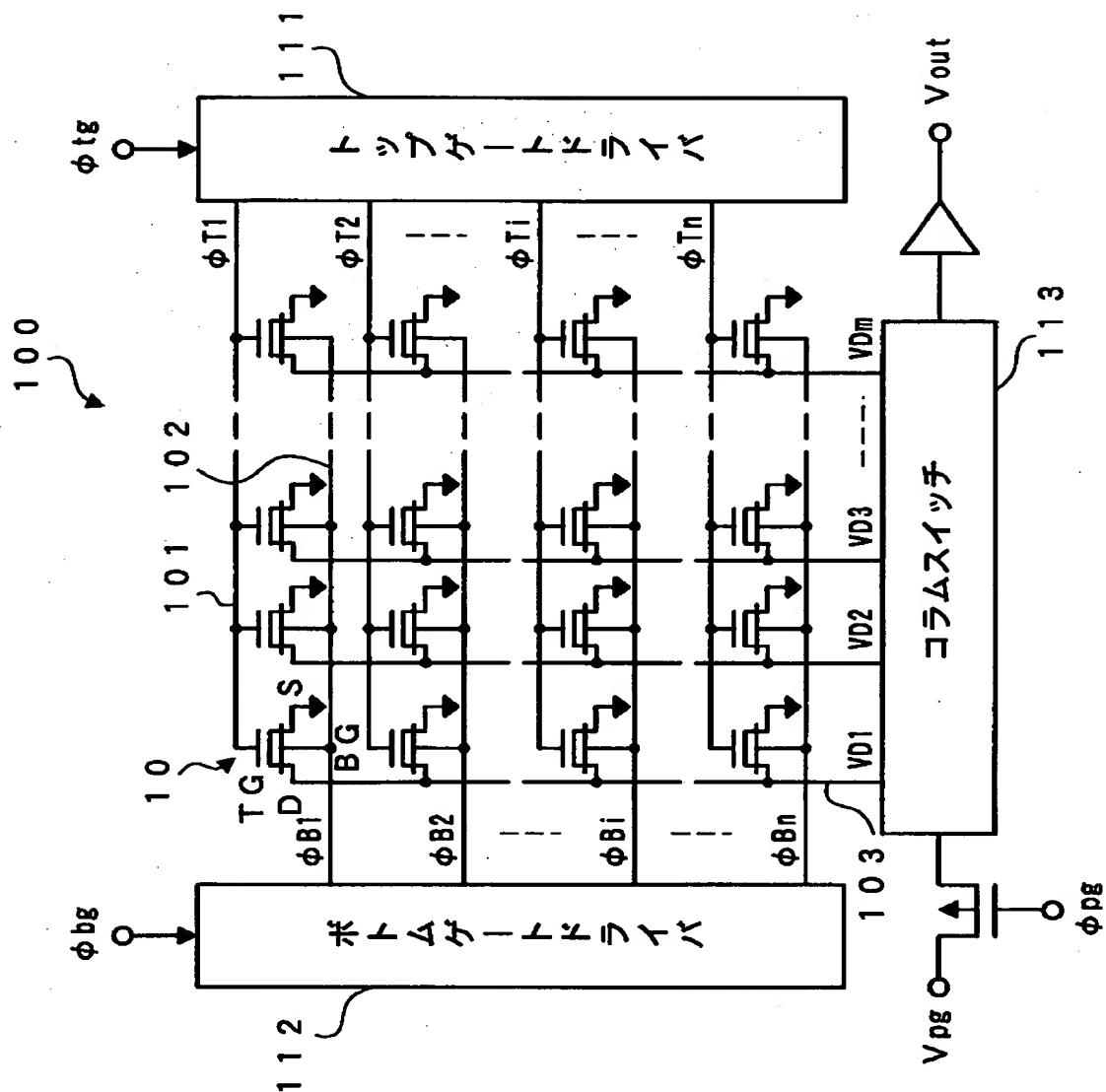
【図 1 1】



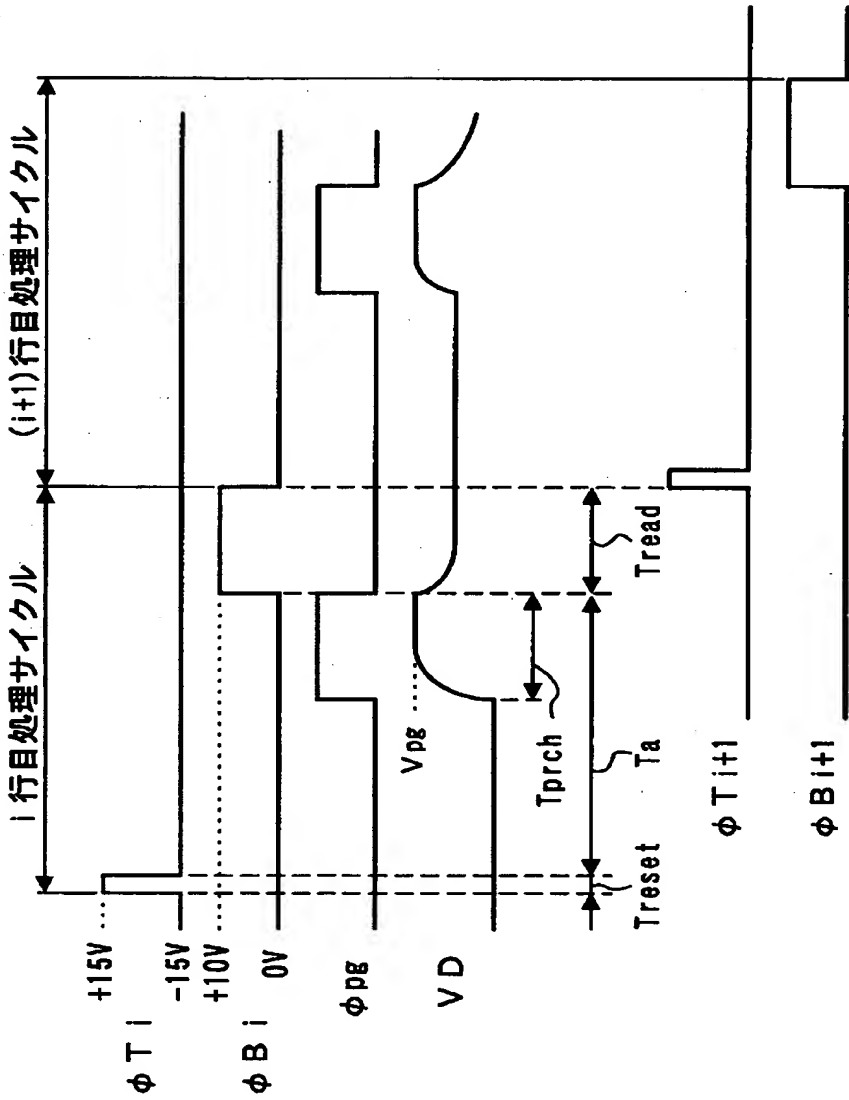
【図 1 2】



【図 1 3】



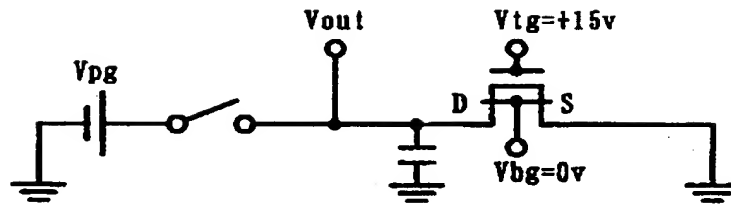
【図 1 4】



【図 15】

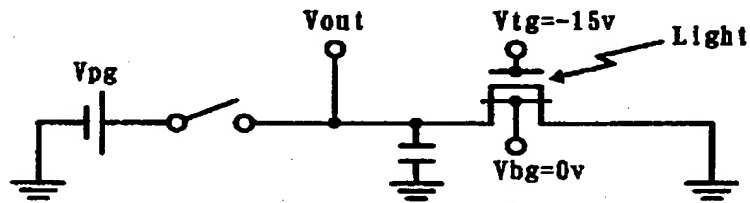
リセット

(a)



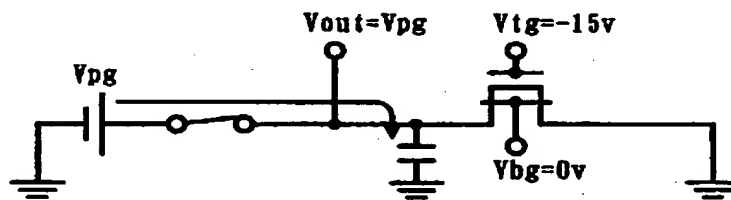
光蓄積

(b)



プリチャージ

(c)

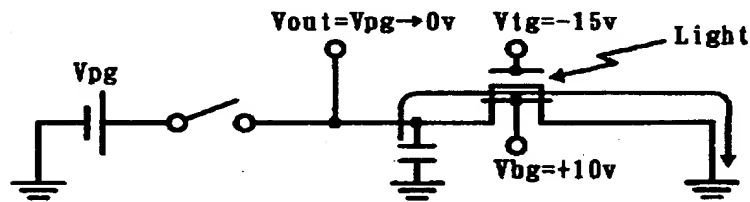


読み出し

(d)

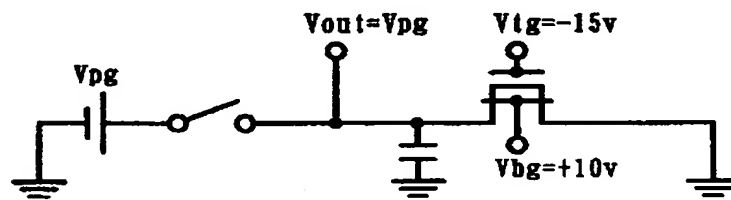
選択

明



(e)

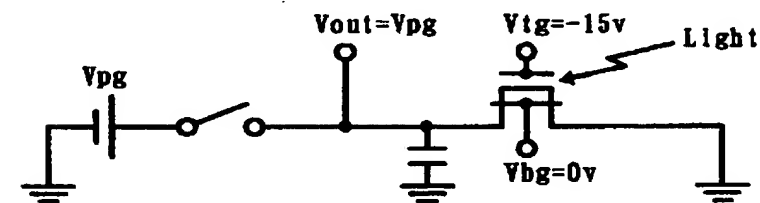
暗



(f)

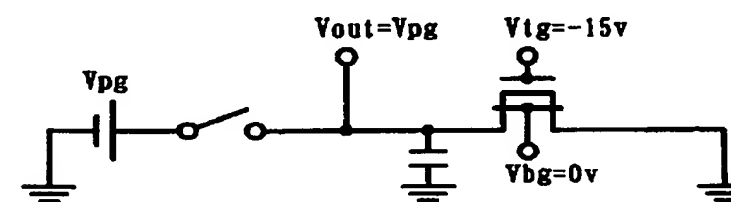
非選択

明



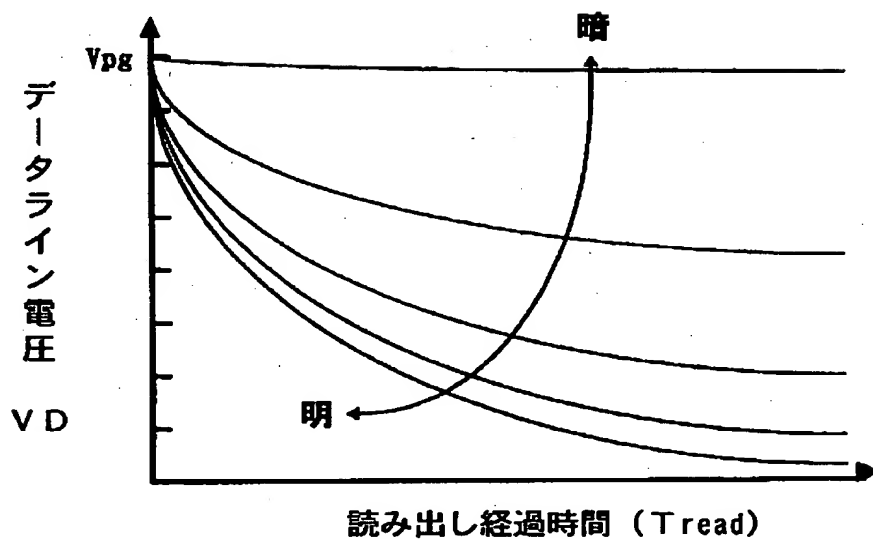
(g)

暗



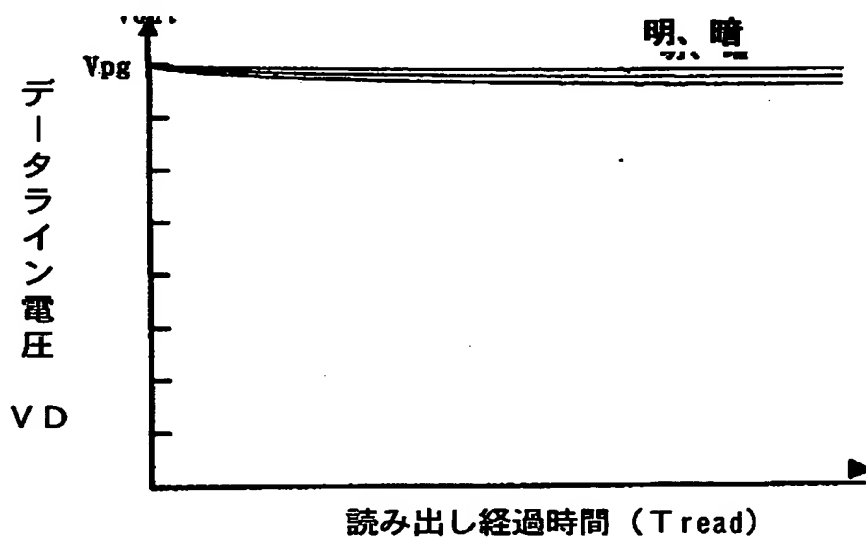
【図 16】

選択時



(a)

非選択時



(b)

【書類名】 要約書

【要約】

【課題】 ダブルゲート型フォトセンサのゲート端子に印加される電圧波形の偏りに起因する素子特性の劣化を抑制して、信頼性が十分に確保された画像読取装置を実現することができるフォトセンサシステムの駆動制御方法を提供する。

【解決手段】 リセット動作において、ダブルゲート型フォトセンサ 1 0 のトップゲート T G に印加されるリセットパルス $\phi T 1$ 、 $\phi T 2$ 、 $\dots \phi T n$ の電圧波形に対する逆バイアス電圧波形を、上記画像読取動作の処理サイクルの直後に付加する。また、読み出し動作において、ダブルゲート型フォトセンサ 1 0 のボトムゲート B G に印加される読み出しパルス $\phi B 1$ 、 $\phi B 2$ 、 $\dots \phi B n$ の電圧波形に対する逆バイアス電圧波形を、上記画像読取動作の処理サイクルの直前、あるいは、直後に付加する。

【選択図】 図 1

特平 11-271882

認定・付加情報

特許出願の番号	平成11年 特許願 第271882号
受付番号	59900934248
書類名	特許願
担当官	第五担当上席 0094
作成日	平成11年 9月30日

<認定情報・付加情報>

【提出日】	平成11年 9月27日
-------	-------------

次頁無

出 願 人 履 歴 情 報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日

[変更理由] 住所変更

住 所 東京都渋谷区本町1丁目6番2号
氏 名 カシオ計算機株式会社